

Міністерство освіти і науки України
Прикарпатський національний університет ім. В. Стефаника
Фізико-технічний факультет
Кафедра комп'ютерної інженерії та електроніки

Дуда Лариса Ігорівна
Duda Larysa

**Інтегральні запам'ятовуючі пристрої зі
структурами «кремній-на-ізоляторі»
Integrated memory devices with
silicon-on-insulator structures**

Магістерська кваліфікаційна робота
студентки гр. КІ(м)-2
Дуди Лариси Ігорівни
Науковий керівник:
д.т.н., проф. Когут І.Т.

Івано-Франківськ
2022 р.

Анотація на кваліфікаційну магістерську роботу «Інтегральні запам'ятовуючі пристрої зі структурами «кремній-на-ізоляторі» студентки групи КІ-52 Дуди Лариси Ігорівни.

В даній магістерській роботі наведено порівняльну характеристику сучасних нанометрових КМОН – структур на основі об'ємного кремнію з аналогічними КМОН приладними елементами зі структурами «кремній-на-ізоляторі» (КНІ). Показано переваги і недоліки КНІ - структур і можливості їх використання для побудова схем пам'яті. Розглянуто особливості проектування топологій інтегральних елементів з керованими «кінк»-ефектом.

Розроблено топології і проведено комп'ютерне моделювання базових комірок статичної і динамічної схем пам'яті, досліджено їх електричні і часові характеристики, вплив температури на основні параметри запам'ятовуючих пристроїв, наведено структури запам'ятовуючого елемента з «плаваючим тілом» в КНІ МОН–транзисторі. Запропоновані багато-електродні топології КНІ МОН–транзисторів зі спільним затвором для побудови інтегральних запам'ятовуючих елементів.

Annotation

This master's thesis provides a comparative description of modern nanoscale CMOS-device structures based on bulk silicon with similar CMOS device elements based on silicon-on-insulator (SOI) structures. The advantages and disadvantages of SOI-structures and the possibilities of their use for the design of memory circuits are shown. The peculiarities of designing layout of integral elements with controlled “kink” effect are considered.

The basic cells of static and dynamic memory circuits were developed and computer simulation was provided, their electrical and time characteristics were investigated, the effect of temperature on the main parameters of memory devices, the structures of a memory elements with a floating body in the SOI MOS-transistor. A multi-electrode layout of SOI MOS-transistor with a common gate for the construction of integrated memory devices is proposed.

Зміст

Вступ.....	3
РОЗДІЛ I. Нанометрові технології.....	4
1.1 Сучасні тенденції розвитку нанометрових технологій	4
1.2 Особливості n- і p- канальних КМОН пристроїв	10
1.3 Підходи створення високоефективних КМОН ІС	13
РОЗДІЛ II. Технології і структури кремній – на – ізоляторі.....	17
2.1 Типи підкладок для КНІ технології.....	18
2.2 Використання КНІ транзисторів для низьковольтних ІС пам'яті.....	18
2.3 Оцінка щільності елементів і швидкодії.....	20
2.4 Стійкість КНІ – структур до впливу температури.....	23
2.5 Проблеми технології і моделі КНІ – пристроїв	24
2.6 Повністю і частково збіднені моделі КНІ МОН – транзисторів	26
2.7 Особливості проектування КНІ-приладів.....	28
РОЗДІЛ III. Аналіз схем пам'яті і можливостей їх проектування на КНІ – транзисторах.....	31
3.1 Архітектура та елементи оперативної статичної пам'яті	32
3.2 Функціонування статичної пам'яті	36
3.3 Повна 64-розрядна SRAM	39
3.4 Динамічна оперативна пам'ять та EPROM	40
3.5 МОН – структури з подвійним затвором	45
3.6 Фероелектрична оперативна пам'ять.....	50
3.7 Інтерфейс пам'яті.....	53
РОЗДІЛ IV. Проектування топології і моделювання комірок оперативної статичної і динамічної пам'яті.....	55
4.1 Аналіз схеми статичної 6Т комірки і топології.....	55
4.2 Структура і топологія одностранзисторної динамічної комірки пам'яті.....	60
4.3 3-х транзисторна динамічна комірка пам'яті.....	61
Висновки.....	63
Література.....	64

Вступ

Інтегральні запам'ятовуючі пристрої зі структурами «кремній-на-ізоляторі»

Однією з найважливіших проблем проектування і виготовлення інтегральних напівпровідникових запам'ятовуючих пристроїв є збільшення ступеня інтеграції елементів на кристалі, підвищення швидкодії й одночасного зменшення напруг живлення і споживаної потужності. Для вирішення вказаних проблем застосовуються нові конструктивні матеріали, елементи зменшених геометричних розмірів, нові приладні структури. Однією із таких структур, які в останні роки вже мають промислове використання є структури «кремній-на-ізоляторі» (КНІ), які мають суттєві переваги як конструктивний матеріал, і прилади на їх основі володіють значно кращими електричними і частотними характеристиками.

Окрім цього, з переходом до топологічних нанорозмірів елементів, які в останні два десятиліття освоює напівпровідникова промисловість, можна також суттєво покращити параметри схем пам'яті. Тому вивчення і дослідження цих проблем є надзвичайно актуальним.

Метою даної кваліфікаційної роботи було вивчення і аналіз сучасних нанотехнологій виготовлення інтегральних схем (ІС), зокрема, інтегральних елементів для схем пам'яті, аналіз можливостей і особливостей використання для їх розробки структур «кремній-на-ізоляторі», та проектування і моделювання базових комірок як статичної, так і динамічної пам'яті.

Предметом аналізу та досліджень є електричні, часові і температурні характеристики базових запам'ятовуючих інтегральних елементів, а **об'єктом** досліджень є елементарні запам'ятовуючі базові комірки для побудови схем статичної та динамічної пам'яті зі структурами КНІ.

Для проведення досліджень використано методи комп'ютерного моделювання і проектування в системах TopSpice і MicroWind.

РОЗДІЛ I. Нанометрові технології

В розділі розглянуто останні досягнення в зменшенні масштабів напівпровідникових технологій стосовно щільності і швидкодії елементів. Також буде дано ознайомлення з 90-нанометровою технологією.

1.1 Сучасні тенденції розвитку нанометрових технологій

У цьому розділі подано оновлений перегляд еволюції важливих параметрів, таких як складність інтегральної схеми (ІС), довжини затвору, затримки перемикавання та напруги живлення, тощо, з майбутнім баченням зменшення масштабу до 22 нм КМОН технології.

Визначаючи тенденції в складності ІС, засновник корпорації Intel Гордон Мур (*Gordon Moore*), екстраполював їх і передбачив експоненційне зростання доступної пам'яті і швидкодії мікропроцесорів. В 1965 р. він сказав, що ці параметри подвоюватимуться щороку. З невеликою поправкою (подвоєння відбувається за кожні 18 місяців, як видно з Рис. 1), закон Мура виконувався аж до появи процесора *Itanium*® 2, який має близько 400 мільйонів транзисторів.

Тенденція удосконалення КМОН - технології продовжує управлятися необхідністю об'єднати більше функцій в даній області кремнію. Таблиця 1 надає короткий огляд ключових параметрів для технологічних вузлів від 180 нм технології, введеної в 1999 р. аж до 22 нм технологій, яка, як очікується, буде запроваджена у виробництво близько 2011 р. Фізична довжина затвору дещо менша, ніж розмір технологічного вузла, як ілюстровано на рис. 2. Матеріалом затвору довго був полікристалічний кремній, з діоксидом кремнію (SiO_2) в якості ізолятора між затвором каналом. Атом – зручна вимірювальна одиниця для ізолюючого матеріалу затвору транзистора. У 90 нм технології, шар оксиду в ізоляторі затвору складався з п'яти атомних шарів завтовшки 1.2 нм. Чим тонший оксид затвору, тим вищий струм транзистора, і отже швидкість переключення.

Товщину шару оксиду SiO_2 послідовно зменшували протягом останнього десятиліття, аж поки він не досяг фізичної межі п'яти атомних шарів у 90-нм КМОН технології. Для 45-нм технології потрібні нові матеріали, як наприклад, металеві затвори та оксиди з високою діелектричною провідністю.

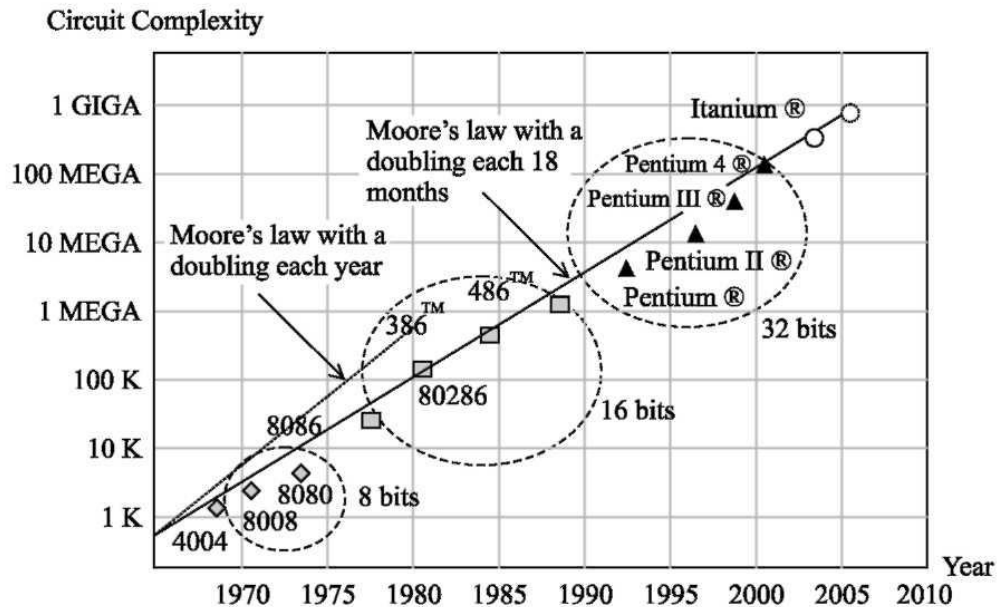


Рис. 1. Закон Мура та складність процесорів Інтел з 1970 по 2005 рр.

При кожному зменшенні масштабу літографії, лінійні розміри елементів ІС зменшувались приблизно в 0.7 разів, а площа зменшувалась в два рази. Менші розміри комірки приводять до вищої щільності та більшої складності ІС. При цьому щільність підвищилася від 100 тис. затворів на мм^2 для 130-нм технології до майже одного мільйона затворів на мм^2 в 45-нм технології. Паралельно, розмір шести транзисторних комірок пам'яті, як, наприклад, ті що, використовуються в оперативній пам'яті, зменшився до величини менш ніж 1 мкм^2 після введення 65-нм технології. Ринок ІС постійно зростає протягом багатьох років, завдяки попиту на електронні пристрої, що постійно збільшується. Виробництво ІС для різних технологій за ці роки показане на рис. 3.

Табл. 1. Технологічний розвиток і прогноз до 2021р.

Тип технології	180 нм	130 нм	90 нм	65 нм	45 нм	32 нм	22 нм
Перше виробництво	1999	2001	2003	2005	2007	2009	2011 і пізніше
Довжина затвору	130 нм	70 нм	50 нм	35 нм	25 нм	17 нм	12 нм
Матеріал затвору	poly SiO ₂	poly SiO ₂	poly SiO ₂	poly SiON	Метал Високий К	Метал Високий К	Метал Високий К
К-ть атомів в ізоляторі затвору	10	8	5	5	5-10	5-10	5-10
тис. затворів / мм ²	100	200	350	500	900	1500	3000
Комірка пам'яті мкм ²	4.5	2.4	1.3	0.6	0.3	0.15	0.08

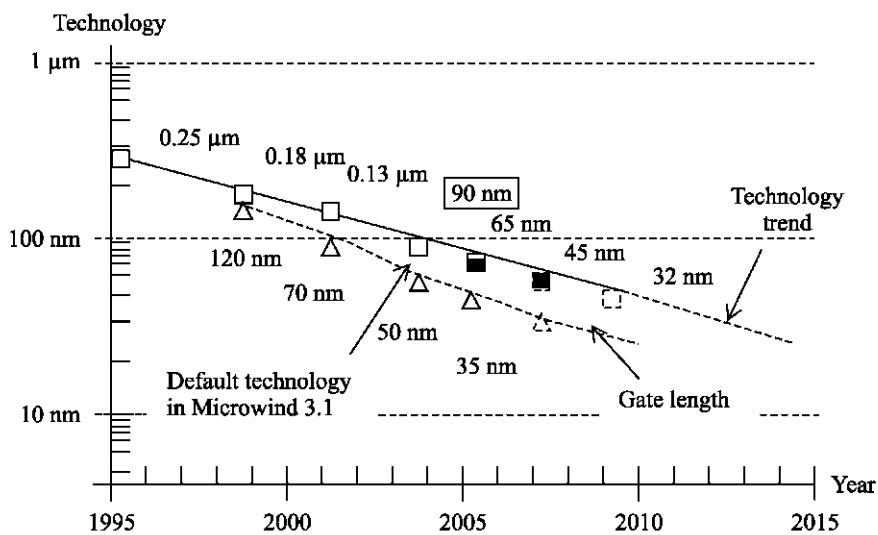


Рис. 2. Зменшення розмірів технології в напрямі нано-розмірних елементів.

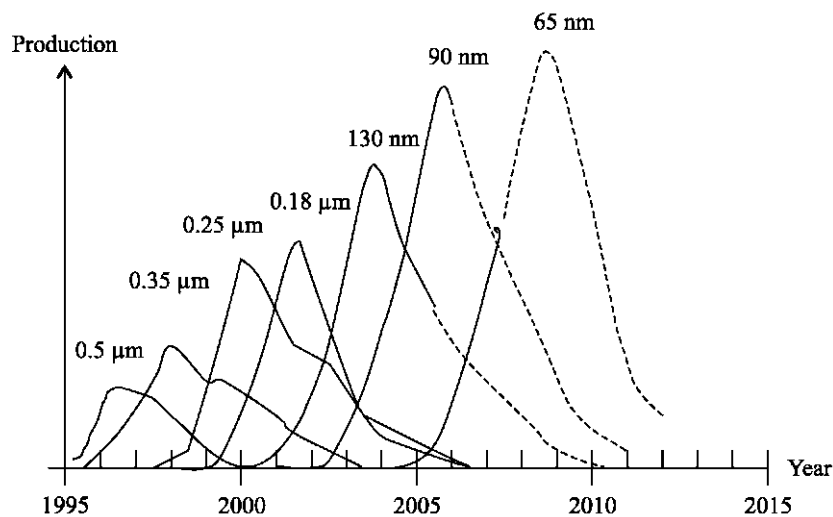


Рис. 3. Технологічні піки, які спостерігаються кожні два роки.

Можна зробити висновок, що нова технологія з'являється регулярно кожних два роки, з піком виробництва близько трьох років. Виробничий пік постійно зростає, і подібні тенденції, ймовірно, спостерігатимуться для нових технологій як наприклад 65 нм (пік, що передбачалося станом на 2009 рік).

Одна дуже важлива тенденція, яка з'явилася із зменшенням розмірів літографії – зменшення часу перемикання МОН-транзистра, як ілюстровано на Рис. 4. Швидкодію ІС можна покращити завдяки збільшенню струмів через транзистори для заряду і розряду менших паразитних ємкостей. Постійне збільшення струмів елементів надзвичайно бажане, але водночас піднімає цілий рядок важливих проблем.

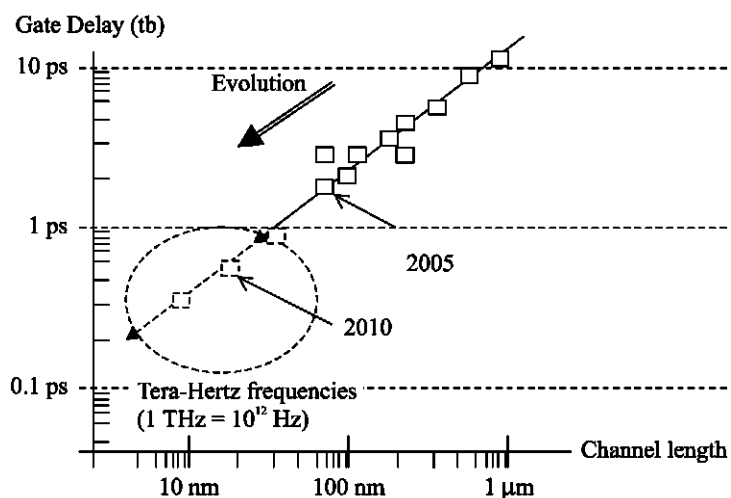


Рис. 4. Скорочення довжини каналу веде до великих здобутків в термінах швидкості перемикання затвору.

Пригадаємо перше наближення струму елемента, яке описується рівнянням 1.1:

$$I_{ds} k \frac{V_{DD}}{L} \frac{\mu}{t_{OX}} \quad (1)$$

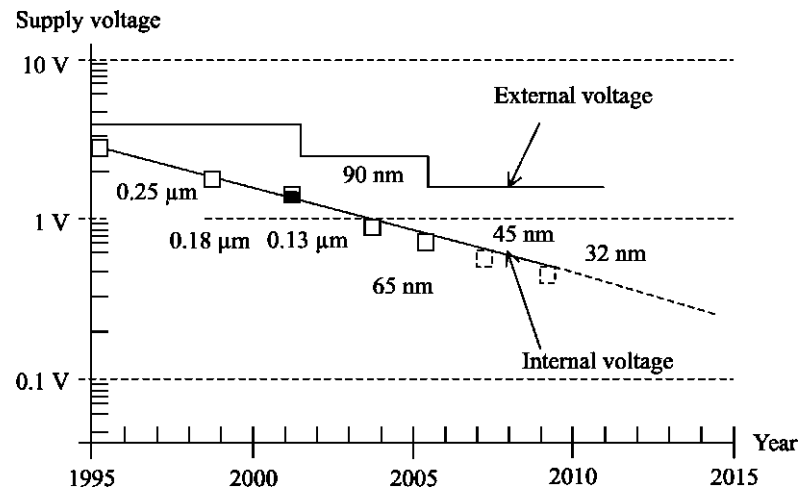


Рис. 5. Безперервне зменшення в напрузі живлення

Як впливає з цього виразу, є принаймні три ефективні шляхи збільшення струму транзистора:

- *Збільшення напруги живлення V_{DD}* (Рис. 5). Нажаль, напруга живлення слідує за протилежною тенденцією для зменшення енергії споживання. Від 130-нм до 90-нм технології напруга живлення була зменшена з 1.5 до 1.2 Вольт.
- *Скорочення відстані l між стоком і витокм*. На щастя, довжина каналу автоматично зменшується із зменшенням масштабу технології. Зменшення розмірів в 0.7 рази приводить до 33% збільшення струму.
- *Зменшення товщини окислу*. Товщина окислу була зменшена від 1.8 нм (восьми атомів) до 1.2 нм (п'яти атомів). На жаль, втрати в окислі затвору експоненційно зростають, що впливає на паразитні струми витоку і споживання енергії в режимі очікування.
- *Збільшення рухливості носіїв μ* . Цей параметр утримувався незмінним аж до покоління 90-нм технології, яке було першим, що використовувало вже напружений кремній, щоб збільшити рухливість носіїв. Пошук методів збільшення рухливості носіїв обов'язковий, для того щоб підтримувати приріст швидкодії без погіршення втрат в елементах.

Повний виробничий 90-нм процес був вперше введений американською фірмою Intel ще у 2003 р. З розмірами каналу транзистора близько 50 нм, що є порівняним до найменших мікроорганізмів, ця технологія – дійсно нанотехнологія. Головною новизною, пов'язаною з 90-нм технологічним процесом, є введення напруженого кремнію, для підвищення рухливості носіїв. Це підвищує швидкодію транзисторів з каналами як *n*- , так і *p*-типів (Рис. 6). Протягом десятиліть було відомо, що розтягування кремнієвої ґратки покращує рухливість носіїв, і, таким чином, величину струму транзистора.

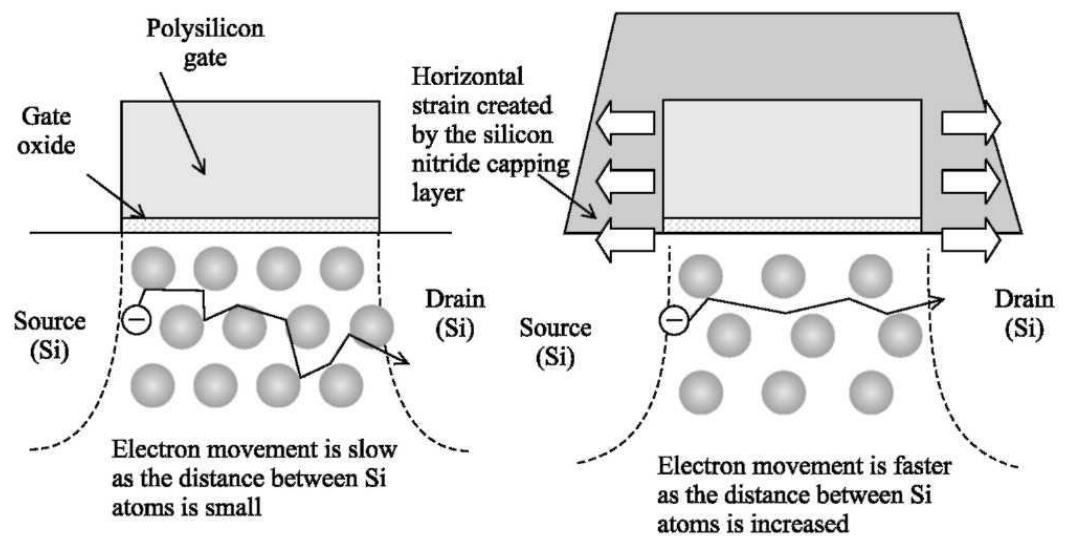


Рис. 6. Напруга, вироблена кремнієм – азотує шар покриву який збільшує відстань між атомами під затворами

Зосередимося на атомах кремнію, які формують регулярну структуру ґратки, всередині якої електронам, які беруть участь струмі елемента, доводиться текти. У випадку електронних носіїв, розтяг ґратки дозволяє зарядам текти швидше від стоку до витoku, як зображено на Рис. 7. Покращення рухливості лінійно залежить від розтяжної товщини плівки. 80-нм плівки привело до 10% покращення струму насичення в Intel 90-нм технології. Напруження також може бути прикладеним знизу за допомогою однорідного шару сплаву кремнію і германію (SiGe).

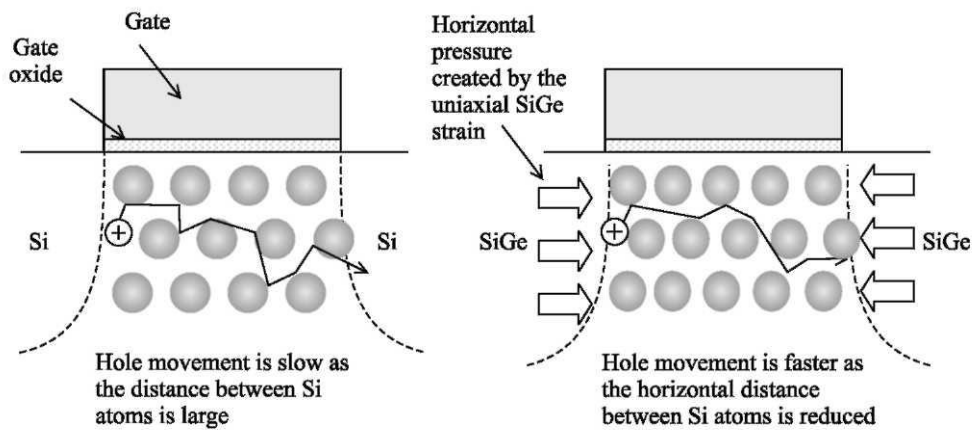


Рис. 7. Стискуєче напруження зменшує відстань між атомами під затвором, що приводить до підвищення швидкості дірки КМОН пристроїв з p -каналом.

Схожим чином, стискання ґратки збільшує швидкість транзистора p -типу, для якого носіями струму є дірки. Поєднання зменшеної довжини каналу, зменшеної товщини окисного шару і напруженого кремнію дозволяє досягати істотної вигоди у керуючому струмі як для n -МОП, так і p -МОП пристроїв.

1.2 Особливості n - і p - канальних КМОП пристроїв

Версія 3.1 у Microwind налаштована на 90-нм технологічний процес за замовчуванням. Переріз КМОП пристроїв з n - і p -каналом показаний на рис. 8. Затвор n -МОП транзистора покриті шаром нітриду кремнію, який індукує поперечне розтяжне напруження каналу для покращення рухливості електронів. Характеристики КМОП пристроїв з низькими втратами і високою швидкодією, показані в табл. 1, отримані використовуючи КМОП-модель BSIM4.

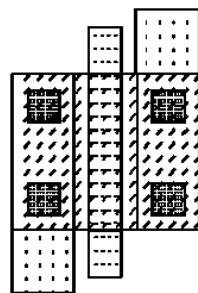
Поперечні перерізи МОП пристроїв з малими втратами і високою швидкодією (рис. 8) не мають великих відмінностей. Стосовно МОП пристроїв з малими втратами, з їх вольт-амперних характеристик (рис. 9) видно, що ці пристрої витримують струм 0.6 mA при $W=0.5 \text{ мкм}$, що становить $1.2 \text{ A}/\mu\text{m}$ при напрузі живлення 1.2 V . Для швидкодіючих КМОП пристроїв, ефективна довжина каналу і порогова напруга дещо зменшені, щоб досягти значного робочого струму $1.5 \text{ nA}/\mu\text{m}$. Негативною стороною

такого високого робочого струму є великий струм втрат, який підвищується від 60 нА/мкм (низькі втрати) до 600 нА/мкм (велика швидкість), як видно на I_d / V_g кривій для $V_g = 0V$, $V_b = 0V$ (Рис. 10-b).

Табл. 2. Параметри 90 нм n-MOH структури, задані в програмі MICROWIND

Параметри	n-MOH (Малі струми транзистора)	n-MOH (Велика швидкодія напружений кремній)
Довжина затвору	0.1 μm	0.1 μm
Ефективна довжина каналу	60 нм	50 нм
Ширина каналу	0.5 μm	0.5 μm
Порогова напруга	0.28 V	0.25 V
$I_{\text{on}}(V_{DD} = 1.2V)$	0.63 mA	0.74 mA
I_{of}	30 nA	300 nA

Low leakage nMOS



High speed nMOS

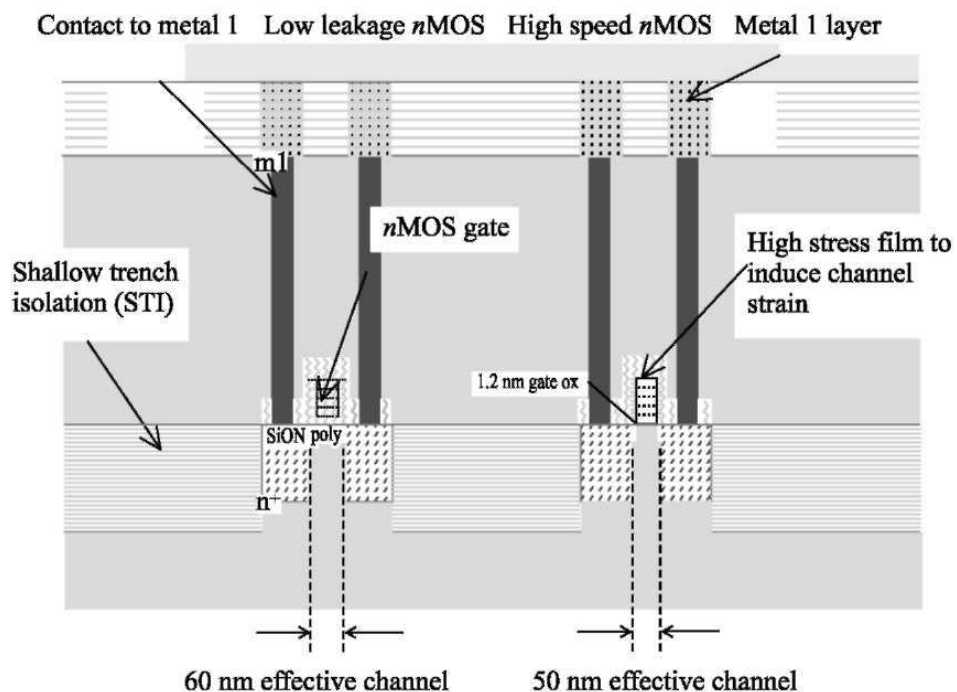
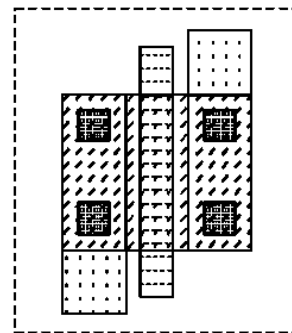


Рис. 8. Вигляд зверху та переріз nMOH елементів.

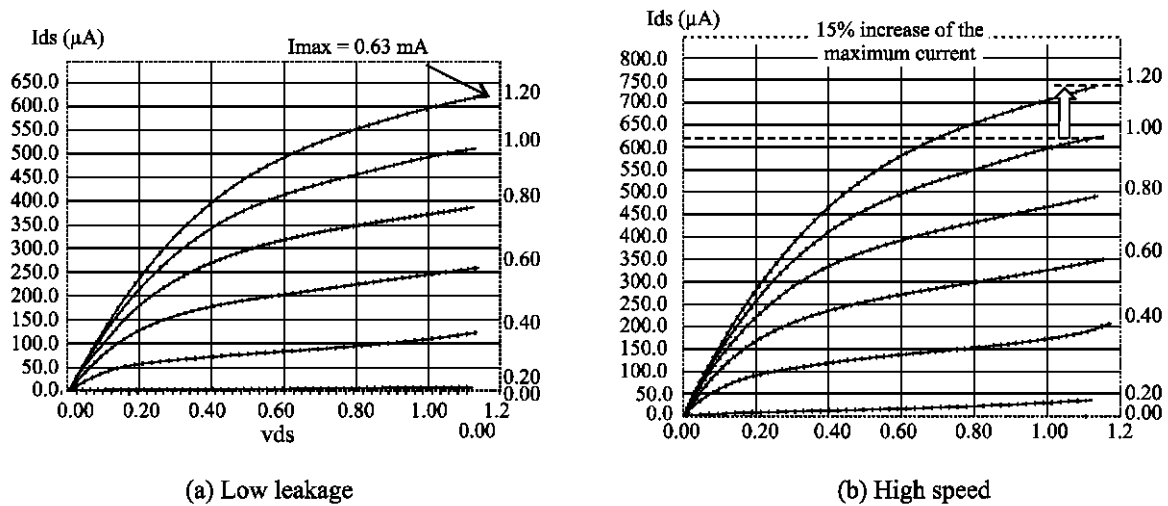


Рис. 9. I_d / V_g крива n -МОН елементів з малими втратами та високою швидкодією ($W = 0.5 \mu\text{m}$, $l = 0.1 \mu\text{m}$)

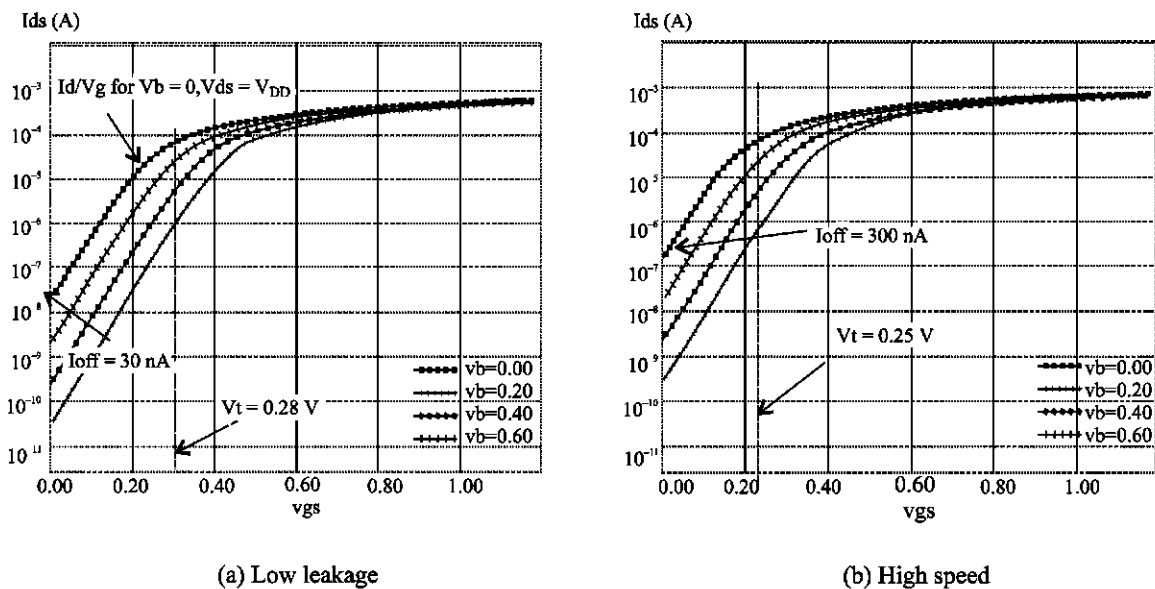


Рис. 10. I_d / V_d характеристика p -МОН елементів з малими втратами і високою швидкодією ($W = 0.5 \mu\text{m}$, $L = 0.1 \mu\text{m}$)

Табл. 3. Параметри p -МОН для 90-нм технології КМОН в програмі MICROWIND

Параметр	p -МОН (Малі струми транзистора)	p -МОН (Більші струми транзистора - більша швидкодія)
Довжина каналу	0.1 mm	0.1 mm
Ефективна довжина	60 нм	50 нм
Ширина каналу	0.5 μm	0.5 μm
$I_{\text{on}} (V_{DD} = 1.2V)$	0.35 mA	0.39 mA
I_{of}	21 nA	135 nA

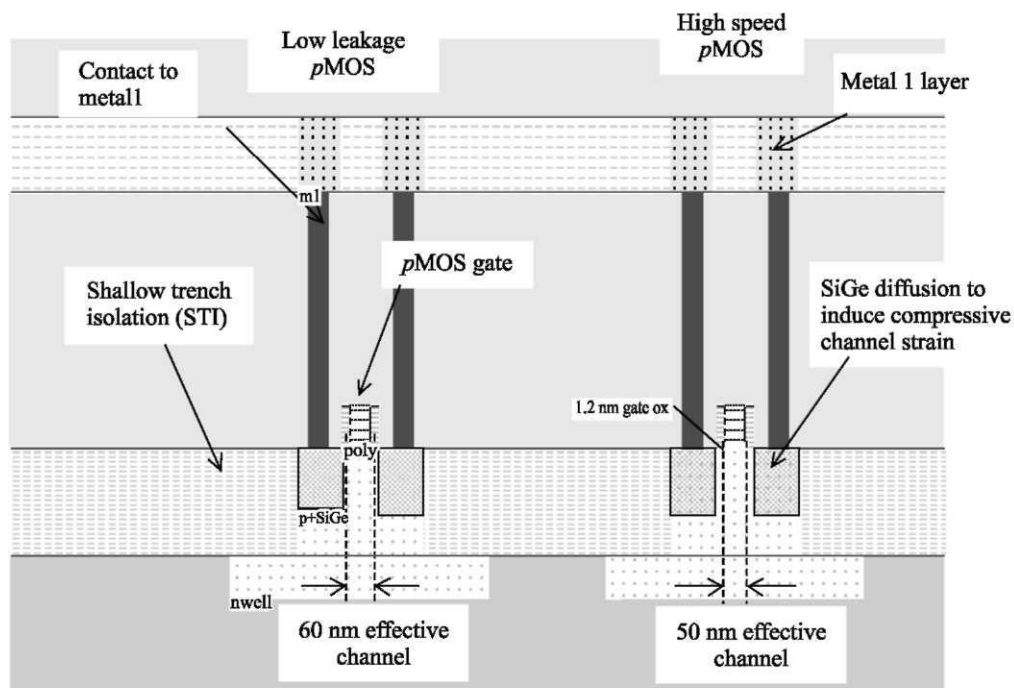


Рис. 11. Поперечний розріз *p*-МОН елементів

Керуючий струм для *p*МОН елементів в 90-нм технології становить 700 мкА/мкм для елементів з малими втратами і аж до 800 мкА/мкм для швидкодіючих елементів (рис. 11). Новий шар Silicium-bermanium (Sibe) індукує стискаюче напруження каналу, яке підвищує рухливість *p*МОН дірок. Ці значення є особливо великі, оскільки цільові призначення цієї технології в Intel –швидкодіючі цифровий мікросхеми як, наприклад, мікропроцесори. Струм втрат складає близько 40 нА/мкм і 300 нА/мкм для елементів з малими втратами і високою швидкодією відповідно.

1.3 Підходи створення високоефективних КМОН ІС

Технологія процесу 90 нм, запропонована в Microwind, відповідає найбільшій можливій швидкості за рахунок значного струму втрат. Цей варіант технології названий "високошвидкісним", оскільки він використовується в тих випадках, в яких великі швидкості – головна мета: швидкі мікропроцесори, швидкий цифровий обробник сигналів, і т.п. Другий технологічний вибір – це прилади "загального призначення" (рис. 12). Він використовується там, де чинник швидкості не є критичний. Струм втрат на

порядок нижчий, ніж в високошвидкісному варіанті, і затримка затвору збільшена на 50%, як видно в параметрах, внесених до списку в табл. 4. Варіант з "малою споживаною потужністю" стосується ІС, для яких втрати повинні залишитися настільки низьким наскільки це можливо. Критерій, який займає головне місце в таких застосуваннях як, наприклад, вбудовані пристрої, мобільні телефони і особисті організатори. В цьому варіанті затримка затвору збільшена в три рази у порівнянні з високошвидкісним варіантом, переважно завдяки товстішим оксидам і більшій довжині затвору.

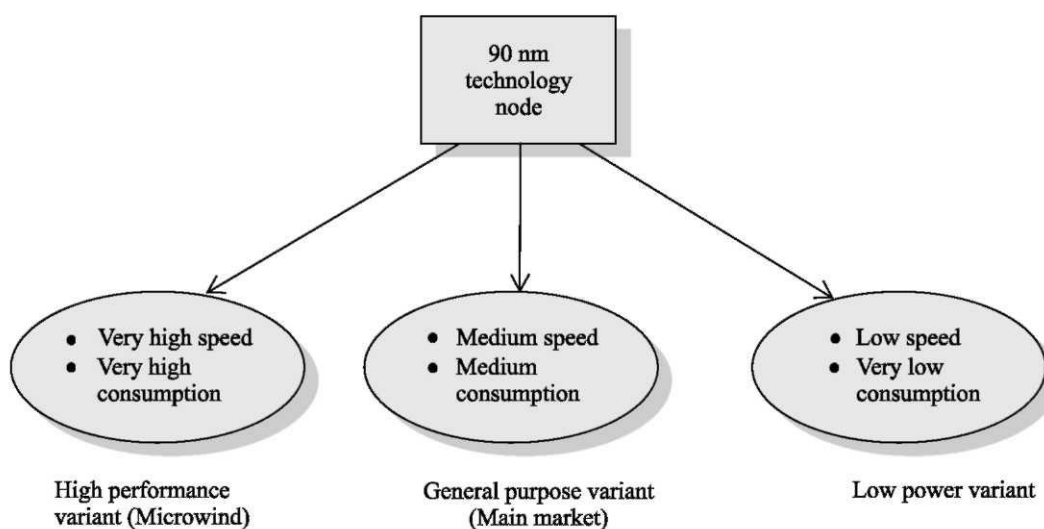


Рис. 12. Представлення трьох варіантів 90-нм технології.

Постійне зменшення товщини звичайних оксидів як, наприклад, кремнієвий діоксид (SiO_2) приводить до деградації надійності і неприйнятної втрати струму. Нові діелектричні матеріали (табл. 5) з високою діелектричною проникливістю потрібні, щоб замінити SiO_2 , як для МОН структур так і для вбудованих конденсаторів.

Пасивні пристрої з високою ємністю (відомі як метал-діелектрик-метал, або МДМ) потрібні для різних цілей, включаючи внутрішньосхемні елементи розв'язки по шині живлення, аналогове фільтрування для бездротових пристроїв, та високоякісних резонаторів для радіочастотних схем. Ці конденсатори повинні мати високу надійність, низький струм втрат, малий послідовний опір і малі діелектричні втрати. Вони повинні також бути повністю сумісні із стандартними процесами КМОН технології.

Табл. 4. Три класи 90 нм КМОН технологій і їх порівняння

Технологія	Висока швидкість	Загальна мета	Низька потужність
Типові застосування	Швидко μP , швидко DSP	ASIC, мікро контролер, FPGA	Мобільні телефони, вкладені пристрої
V_{CC}	1.2	1.0	1.2
t_{ox} (nm)	1.2	1.6	2.2
L_{eff} (nm)	50	65	80
V_T (V)	0.28	0.35	0.50
id_{sat_n} ($\mu A/\mu m$)	1200	700	500
id_{sat_p} ($\mu A/\mu m$)	700	300	200
I_{off} (A/mm)	50n	5n	50p
Затримка (ps/stage)	7	12	25

Табл . 5. Нові діелектричні матеріали, які, можливо, замінять SiO_2 в майбутніх технологіях

Матеріал	Опис	Відносна питома провідність (ϵ_r)	Коментарі
HfO_2	Фтор-оксид	20	Запропонований для окису затвору на 45 нм
Ta_2O_5	Пентоксид танталу	25	Висока температура кристалізації. Проблеми надійності
$Ni_xTa_2O_5$	Пентоксид тантал-ніобію	28	Гарний кандидат на конденсатор МДМ
SiO_xN_y	Нітрид оксиду кремнію	5-7	Використовуваний для окису комірів на 65 нм
SiO_2	Діоксид кремнію	4	Високі втрати в надтонких плівках

Як МОН пристрої так і пасивні елементи, можливо, матимуть переваги з діелектриків з високою проникливістю. Стосовно МОН-елементів, такі діелектрики можуть бути зроблені тоншими, ніж плівки SiO_2 , щоб одержати такий же еквівалентний ефект каналу, таким чином зменшуючи втрати. Відносно пасивних елементів, чим більша питома проникливість, тим більший заряд, який може зберегтись в конденсаторі пам'яті, таким чином

приводячи до вищих значень ємності. З іншого боку, така ж ємність може потребувати вимагає менше площі кремнієвої підкладки з такими діелектриками, ніж з SiO₂. Типові значення для ємностей становлять від 2 до 20 фФ/мкм².

РОЗДІЛ II. Технології і структури кремній – на – ізоляторі

Використання технології кремній-на-ізоляторі (КНІ) приносить нові перспективні можливості у порівнянні зі стандартними об'ємними приладами. Які переваги та обмежуючі паразитні ефекти КНІ- структур? Вдосконалення продуктивності стосуються споживання енергії і швидкодії. У кращому випадку, технологія КНІ, може зменшити споживання енергії майже на половину, при зростанні швидкодії приблизно на 30%. Удосконалення швидкодії саме по собі еквівалентне двом рокам прогресу в об'ємній КМОН- технології. Матеріал ізолятора, використовуваний в КНІ, – прихований шар SiO_2 , показаний на рис. 13.

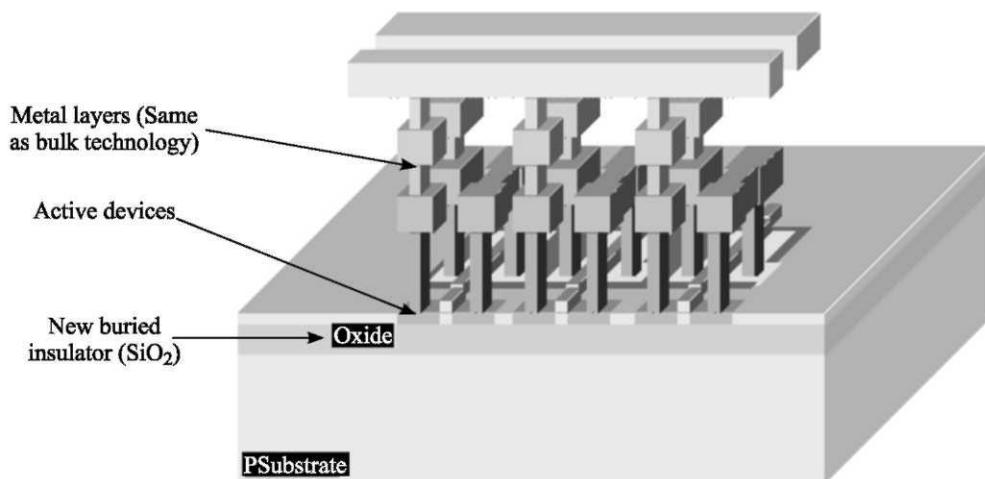


Рис. 13. Тривимірне представлення кільцевого інвертора КНІ з прихованим шаром SiO_2 , (inv3KHI.MSK)

Фактично, технологія КНІ була доступна більш ніж 20 років, але її застосовували переважно для космічних і військових цілей через її надзвичайно малу чутливість до радіаційного випромінювання. Комерційне використання КНІ все ще стикається з декількома проблемами: перша – вартість підкладки, яка є в 5-10 разів дорожчою за звичайну підкладку, друга – необхідність навчити проектувальників до певних методик проектування і правил, оскільки поведінка КНІ КМОН пристрою дещо відрізняється від звичайного КМОН пристрою. Хоча виробництво МОН елементів дещо змінене, виробництво металевих з'єднань ідентичне до об'ємної КМОН технології.

2.1 Типи підкладок для КНІ технології

Технології КНІ ґрунтується на розміщенні тонкого шару кремнію над шаром оксиду кремнію, як показано на рис. 14. Транзистори формують над цим шаром. В програмі Microwind доступна 0.12 мкм технологія КНІ (КНІ012.rul). Це дозволяє порівняльне моделювання з відповідною об'ємною технологією (cmos012.rul, стандартний 0.12 мкм КМОН технологія).

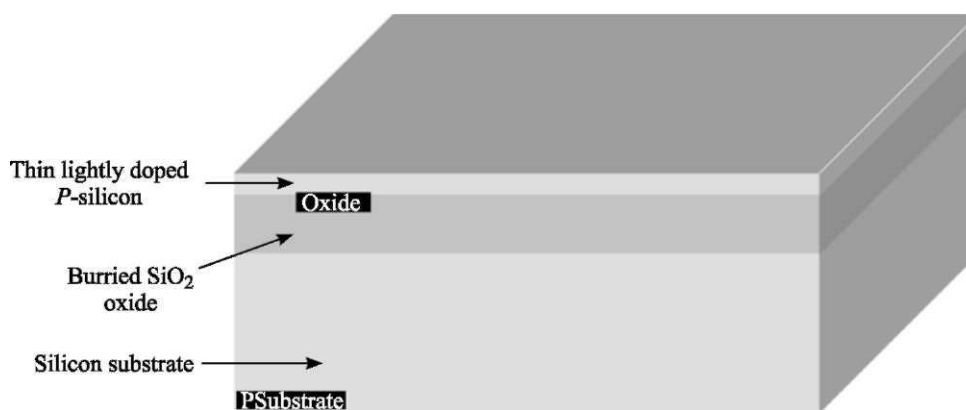


Рис. 14. Трьохмірне представлення інвертора КНІ, що показує прихований шар SiO_2 (inv3КНІМСК)

Основна ідея така, що шар КНІ зменшує паразитну ємність р-, n-переходів у МОН - транзисторі і він працюватиме швидше. Кожного разу, коли транзистор вмикається, він повинен спочатку зарядити свою повну внутрішню ємність перед тим, як почати перемикатися. Серед цих паразитних ємностей є ємності переходів C_{sb} і C_{db} , які сильно зменшуються шаром діоксиду кремнію, як показано на двовимірному поперечному перетині, зображеному на рис. 16. Чим товстіший шар оксиду SiO_2 , тим менша паразитна ємність. Типова товщина шару ізолятора складає від 200 до 500 нм. У 0.12 мкм КМОН КНІ технології, яка доступна у Microwind, товщина шару діелектрика складає 300 нм, а товщина шару кремнію – 150 нм. Як показано на рис. 15, ємності переходу C_{sb} і C_{db} значно зменшені. Це робиться для збільшення швидкості перемикання елементів.

2.2 Використання КНІ транзисторів для низьковольтних ІС пам'яті

Важлива особливість пристроїв КНІ – крутіший допороговий нахил вольт-амперної характеристики (ВАХ) завдяки зменшенню впливу самої підкладки. Типові допорогові множники нахилу (NFACT в моделі BSIM4)

складають близькі 1.0 для елементів КНІ, в порівнянні з 1.5 для об'ємних елементів. Для даного I_{off} струму елемент КНІ може мати набагато меншу порогову напругу, що означає, що елемент може працювати при нижчій напрузі живлення.

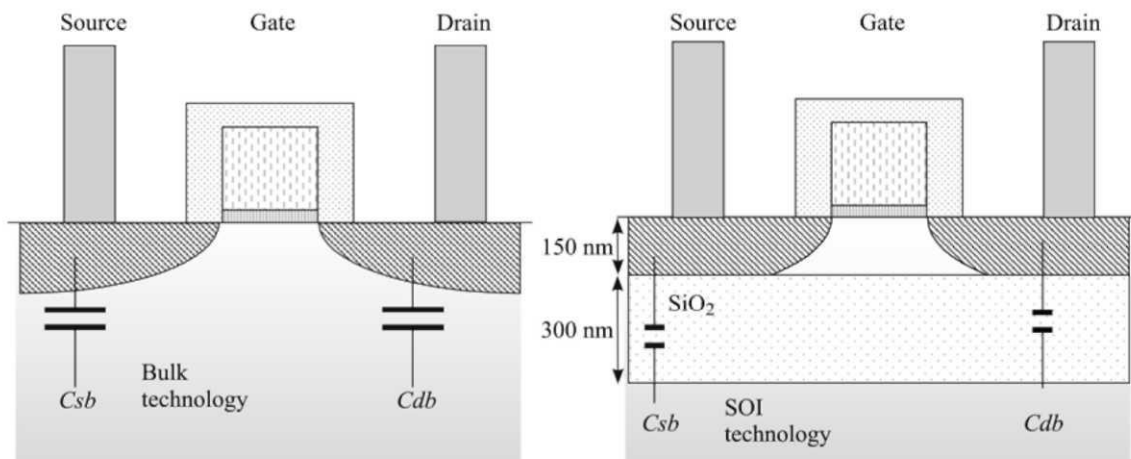


Рис. 15. Ємності переходів між витоком і підкладкою майже усунуті у технології КНІ.

Відомо, що потужність пропорційна до повної ємності схеми і квадрату напруги живлення. Це означає, що схеми КНІ – дуже хороші кандидати для пристроїв зі зменшеним споживанням енергії, оскільки паразитна ємність зменшена і напруга живлення також може бути знижена. На прикладі кільцевого генератора з трьома інверторами, ми одержуємо коливання на частоті 42 ГГц при напрузі живлення 0.7 В в технології КНІ к порівнянні з 1.2 В в об'ємній технології (рис. 17). Зменшення споживаної потужності складає майже чотири рази.

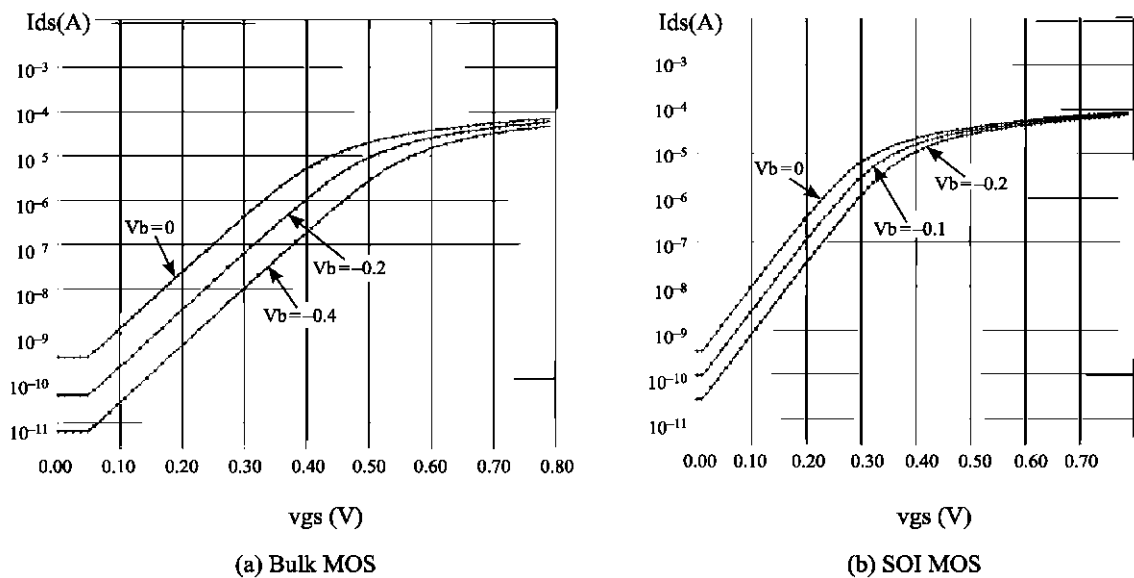


Рис. 16. Крутіший допороговий нахил приводить до зменшення напруги живлення і споживаної потужності.

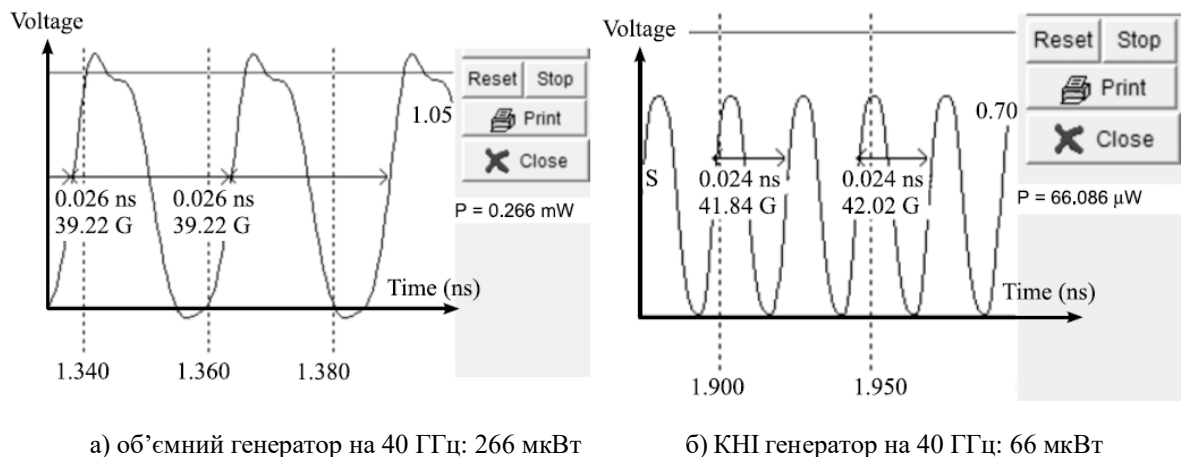


Рис. 17. Менше значення струму I_{off} та крутіша допорогова ВАХ приводить до зменшення напруги живлення та споживаної потужності.

Більш того, нижче значення порогової напруги у поєднанні з крутішим нахилом ВАХ, є також ключовими моментами для аналогових схем, які можуть забезпечити таку ж функціональність і приблизно такий же діапазон робочих частот але при меншому споживанні енергії.

2.3 Оцінка ступеня інтеграції елементів і швидкодії

Збільшена щільність. Важливою особливістю технології КНІ є збільшена щільність елементів КМОН завдяки послабленим обмеженням правил проектування для $N+$ і $P+$ дифузії. У об'ємній КМОН технології, пристрій з n -каналом та пристрій з p -каналом повинні бути розташовані на

відстані принаймні 12 лямбда. У правилах проектування технології КНІ ця відстань зменшена до двох лямбд, як показано на рис. 18.

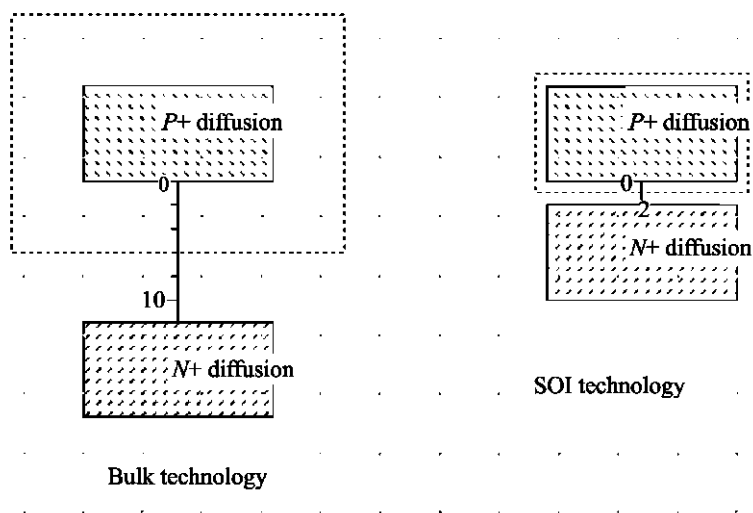


Рис. 18. Збільшена щільність завдяки послабленим правилам проектування (KHIDiffusion.MSK)

Таким чином, виконання елемента КМОН стає більш компактним, оскільки *n*-МОН і *p*-МОН елементи майже торкаються один одного. Як приклад, кільцевий генератор з трьома інвертаторами у технології КНІ на 20% компактніший, ніж у об'ємній версії (рис. 19), для ідентичного розміру *n*-МОН і *p*-МОН пристроїв.

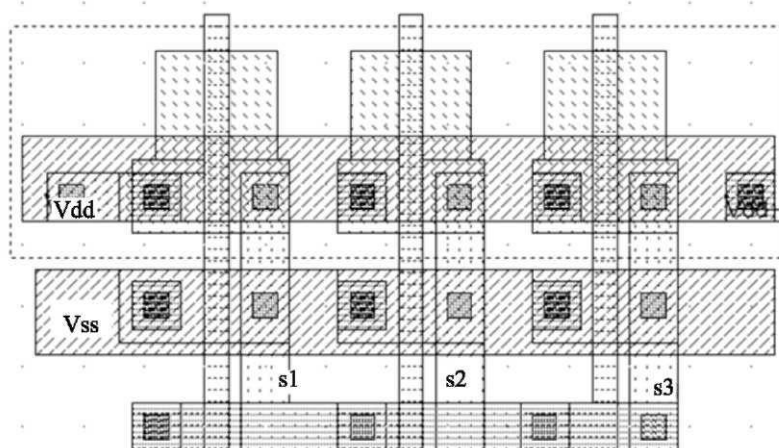


Рис. 19. Кільцевий генератор КНІ (Inv3KHI.MSK)

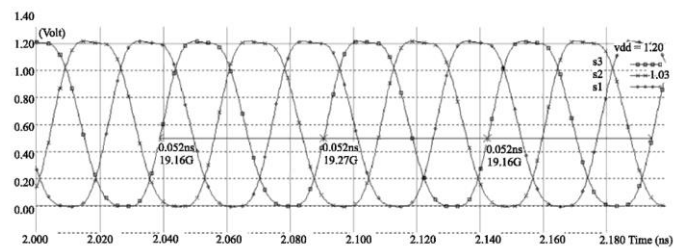
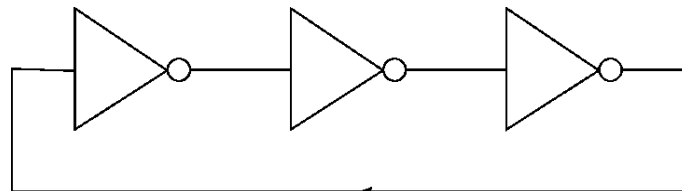
Збільшена швидкодія. Порівняння між кільцевим генератором КНІ і об'ємним кільцевим генератором показана на рис. 20. Очевидний дуже істотний приріст швидкодії, приблизно 80% в даному випадку. У об'ємній технології генератор з трьома інвертаторами (Inv3.MSK) працює на частоті

близько 19 ГГц, якщо використовувати модель BSIM4. У технології КНІ, такий же генератор (Inv3КНІ.MSK) працює на частоті близько 35 ГГц.

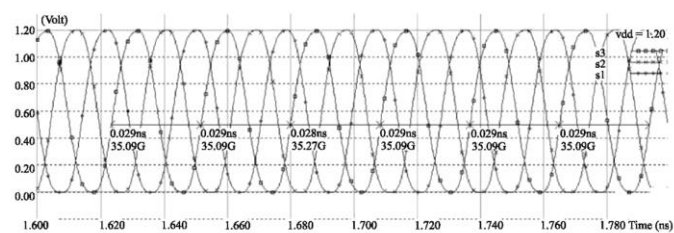
Це значне збільшення робочої частоти, яке спостерігається на Рис. 20, відбувається через зменшену паразитну ємність переходів у КМОН елементах. Оскільки довгі з'єднувальні провідники в цьому випадку вже непотрібні, зменшення ємності має значний вплив на робочу частоту.

Більш того, максимальний струм, доступний в КНІ МОН, є на 20% вищим, ніж в об'ємній версії, завдяки специфічному небажаному ефекту, який буде описано далі в цьому розділі.

Кільцевий генератор з трьома інверторами



(a) Bulk technology



(b) SOI technology

Рис. 20. Моделювання кільцевого генератора в об'ємній та КНІ технологіях (Inv3.MSK, Inv3КНІ.MSK)

Зменшені зв'язки. Окисна ізоляція має позитивне вплив на стійкість до шумів між блоками. Одним з головних джерел шуму в об'ємних технологіях є підкладка. Частина схеми, які працюють на великій потужності та частоті, як, наприклад, підсилювач потужності, можуть інжектувати частину своєї енергії у підкладку, що може мати паразитний вплив на чутливих частинах схеми, як, наприклад, входи підсилювача чи аналогово-цифрові

перетворювачі (АЦП). Ізолятор, присутній у технології КНІ, значно зменшує такі ефекти, що полегшує поєднання схем з різною функціональністю в межах однієї кремнієвої підкладки (рис. 21).

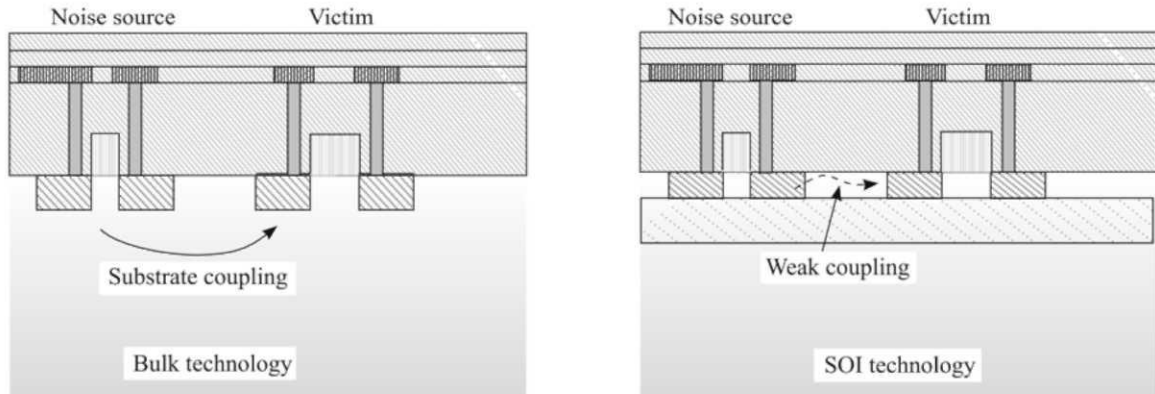


Рис. 21. Зменшення паразитичних зв'язків між елементами завдяки шару ізолятора.

2.4 Стійкість КНІ – структур до впливу температури

Струм I_{off} , який відповідає нульовій напрузі на затворі, визначає паразитний струм втрат МОН елемента. Низькі втрати є важливим фактором для пристроїв з малою споживаною потужністю. Поведінка пристроїв КНІ краща, ніж об'ємних пристроїв для струму I_{off} при високих температурах. У порівняльному моделюванні, показаному на Рис. 22, допороговий нахил крутіший для КНІ в номінальній температурі, як було представлено раніше. Якщо збільшити температуру до 200°C , струм в об'ємному елементі швидко зростає до 10 мкА, в той час як у КНІ технології струм залишається меншим 0.1 мкА. Тому при високих температурах КНІ елементи мають струм холостого ходу майже в 100 разів нижче, ніж в об'ємній технології.

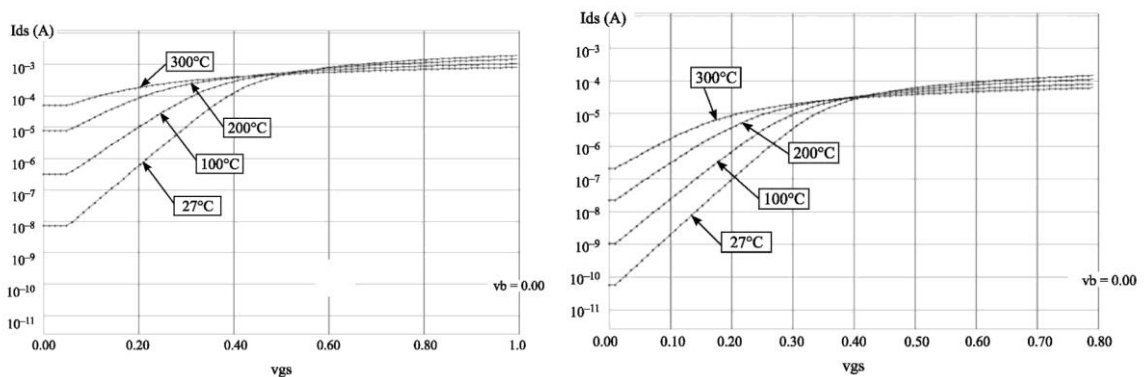


Рис. 22. Температурні залежності для об'ємної та КНІ МОН пристроїв (низький втрати $W = 10$ мкм, $L = 0.12$ мкм)

2.5 Проблеми технології і моделі КНІ – пристроїв

Кінк-ефект. У технології КНІ, коли у КМОН транзисторі з n -каналом протікає сильний струм між витокком і стоком, виникає паразитний ефект, який називають «кінк-ефект». Струм I_{ds} раптово зростає та спричиняє стрибок провідності, звичайно між 0.5 В і 1 В у 0.12 мкм КМОН технології. Походження цього паразитного ефекту – ударна іонізація високоенергетичних електронів, що входять в область витокку, яка створює **додаткові позитивні і негативні заряди** під затвором.

Поки електрони беруть участь в струмі I_{ds} , шар ізолятора перешкоджає **позитивном зарядам перейти в підкладку**, що має місце в об'ємній технології завдяки заземленню підкладки. Позитивні заряди накопичуються під затвором (рис. 23) і заряд тіло КНІ КМОН елемента може бути досить високим. Підвищення локальної напруги під затвором сильно впливає на порогову напругу, яка зменшується. Проте цей негативний ефект може бути використаний для створення елементів пам'яті, який ґрунтується на тому, що наявність позитивного заряду під затвором можна умовно вважати за логічну «1», а його відсутність – за логічний «0», обрамлюючи такий транзистор елементами схем управління, запису і зчитування створювати специфічні запам'ятовуючі пристрої.

В певний момент напруга зміщення PN переходу між P -легованим об'ємом і N^{+-} легованим витокком стає достатньо високою, щоб відкрити перехід, що приводить до раптового зростання струму через канал, як видно на характеристиках I_d/V_d (рис. 24). Цей ефект також називають ефектом плаваючого тіла (FBE). Оскільки ударна іонізація більш шкідлива для МОН елементів з n -каналом, ніж для МОН елементів з p -каналом, кінк-ефект є більш явним у n -каналі, ніж в p -каналі.

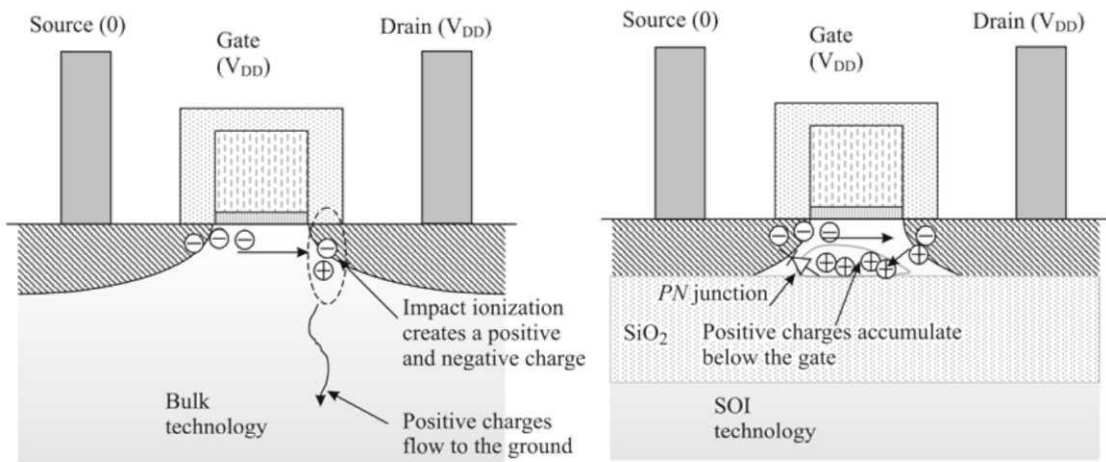


Рис. 23. Ударна іонізація створює накопичення позитивних зарядів під затвором КНІ.

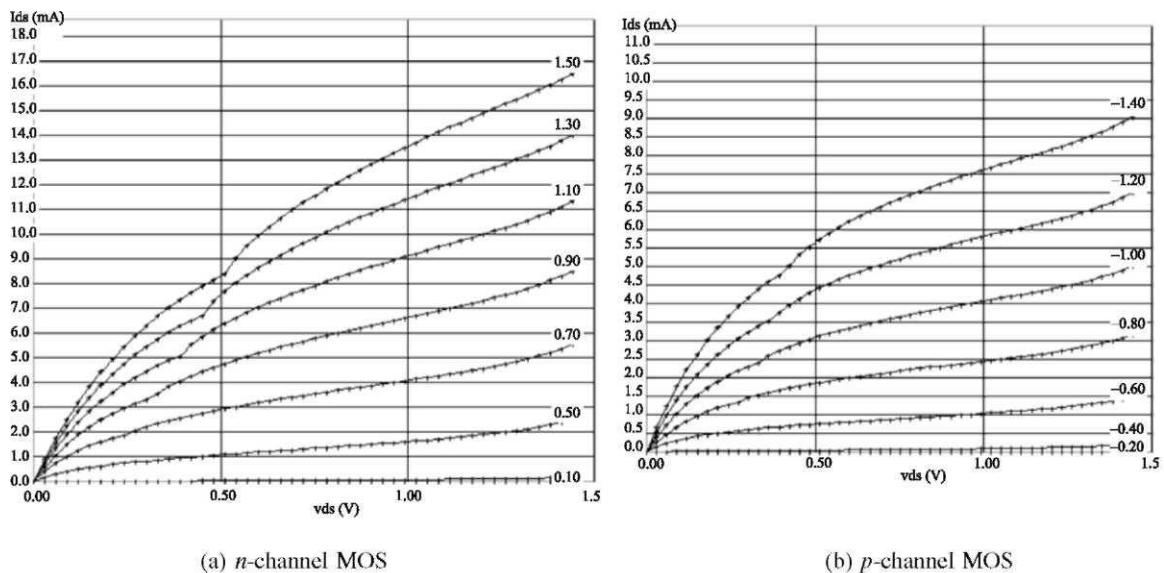


Рис. 24. Характеристики струму витoku елементів КНІ з п-каналом і р-каналом показують кінк-ефект біля насиченості

Повністю збіднений МОН. Можливістю для зменшення впливу FBE є використання дифузійного каналу, так що для накопичення позитивних зарядів більше не буде місця, і тому майже не буде «кінк-ефекту». Пр цьому області витoku і стоку звичайно виготовляються із збільшеною товщиною над шаром ізолятора SiO_2 .

Повністю збіднені МОН елементи набагато важче технологічно виготовляти (через різницю товщин стік-витокових областей і під каналної області) й керувати ними. Потрібне кероване технологічним процесом регулювання порогу низьких V_t . Високошвидкісні та надвисокошвидкісні МОН пристрої є дуже складними через дуже тонку дифузну область під

затвором (рис. 25). Ці перешкоди зробили повністю збіднений МОН менш привабливим, ніж частково збіднений МОН. Параметри КНІ технології, доступні в Microwind, відповідають частково збіднений МОН технології.

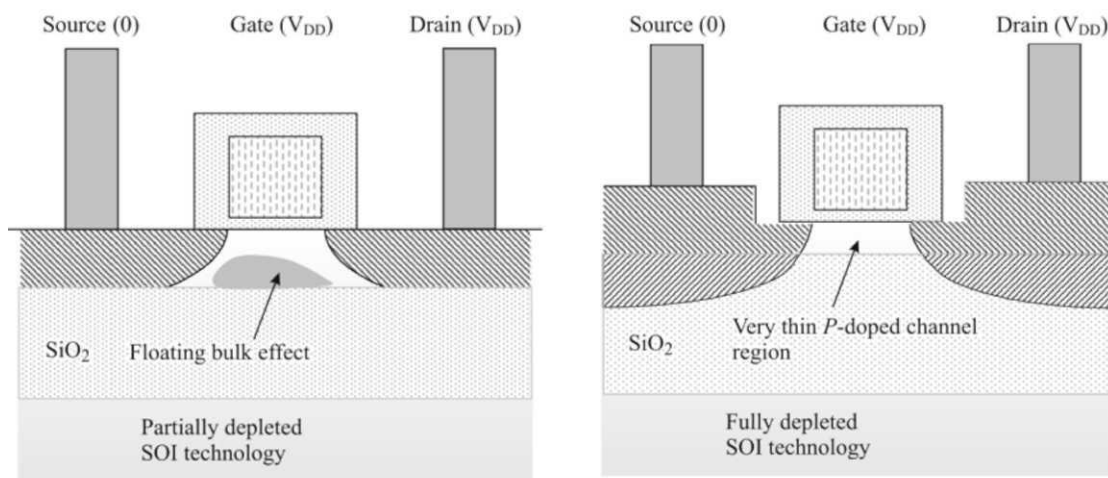


Рис. 25. Повністю збіднений МОН пристрій не має більше кінк-ефекту, але має декілька перешкод виробництва і проектування.

Модель пристрою КНІ. Об'ємні кремнієві моделі як, наприклад, LEVEL3 чи BSIM4 звичайно не включають витоків/об'ємні діодні струми, тому що на переходи звичайно подається зворотня напруга і вони можуть розглядатися як перехідні конденсатори. Проте це не так для КНІ елементів, де на витоків/об'ємні переходи можуть подаватися істотні прямі напруги завдяки ударній іонізації, яка провокує накопичення позитивних зарядів під затвором.

2.6 Повністю і частково збіднені моделі КНІ МОН – транзисторів

«Кінк-ефект» дуже слабкий в повністю збіднених КНІ КМОН елементах. Тому можна застосовувати модель BSIM4 з розумною точністю, оскільки основні фізичні і робочі принципи подібні.

У Microwind, «кінк-ефект» моделюється у разі частково-збіднених пристроїв КНІ, завдяки новому параметру $AKHI$. Деталі цієї моделі в SPICE надані, де розглянуто поперечний біполярний елемент, зроблений з витоків, каналу і стокових областей. Модель КНІ КМОН структури включає повну модель пристрою NPN у випадку n -каналу МОН, і моделі пристрою PNP у разі p -каналу МОН. Простіше виконання, запропоноване в Microwind,

полягає в зміні моделі насиченого струму безпосередньо, де кінк-ефект найбільш важливий.

Вводиться новий параметр, названий АКНІ. Кінк-ефект спостерігається, коли напруга V_{DS} вища, ніж напруга насичення V_{dsat} . Параметр АКНІ визначає амплітуду «кінку». Вводиться новий доданок, як показано в рівнянні. Цей підхід – спрощена версія моделі, що використовується в моделі пристрою КНІ BSIM3.

$$I_{ds} = I_{ds_bsim4} \left(1 + \frac{ASOI}{L_{eff} V_t \sqrt{V_{DS} - V_{dsat}}} \right)$$

L_{eff} = довжина каналу пристрою (м).

V_{DS} = різниця напруги між стоком і витокком (В)

V_{dsat} = напруга насиченості (В)

V_t = порогова напруга пристрою (В)

$ASOI$ = технологічний параметр для врахування кінк-ефекту (типове значення 2×10^6 В/см)

Оскільки товщина шару оксиду зменшена до 2 нм і нижче, квантовий механізм прямого тунелювання крізь шар оксиду стає досить помітним. Струм затвору зростає і починає конкурувати з струмом каналу і, врешті, впливає на потенціал елемента. Ще більш складні моделі як, наприклад, BSIMPD було розвинено для точного моделювання таких МОН нано-пристроїв (рис. 26).

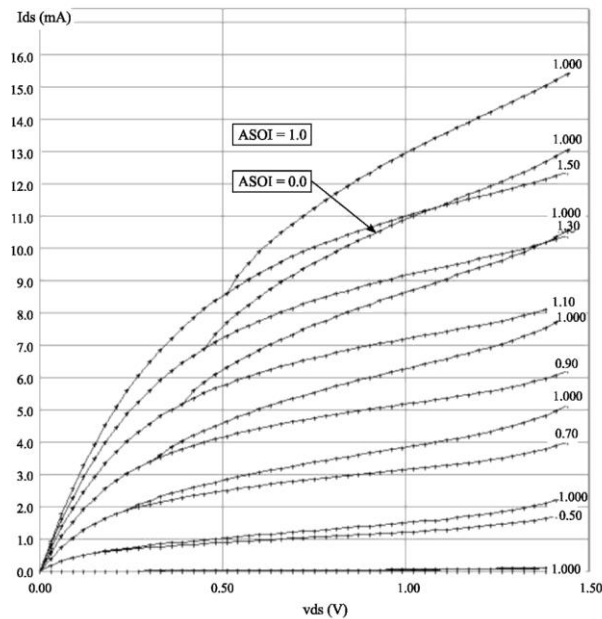


Рис. 26. Вплив параметру АКНІ на характеристики I_d/V_d (використовуючи КНІ012.RUL)

2.7 Особливості проектування КНІ-приладів

Приймаючи частково-виснажувану КНІ технологію, «кінк-ефект» може бути зменшений додаванням поляризаційного контакту із землею, який допомагає забирати накопичені заряди за межами каналу. Т-подібні і Н-подібні КМОН із з'єднанням із землею показано на рис. 27. КМОН пристрій з лівого боку не має ніякого заземлюючого контакту, і може зазнавати впливу кінк-ефекту, як тільки напруга V_{DS} стане вищою за 0.5 В. Т-подібний КМОН елемент має додаткову дифузійну область, яка сполучена з областю p -каналом з одного боку і контактом землі V_{SS} з іншого.

Новий контакт є досить ефективним внизу Т-подібного МОН елемента, але не може швидко забирати заряди, накопичені у верхній частині каналу. Покращений варіант (Н-подібна форма) складається з двох додаткових контактів, одного внизу і одного вгорі, які майже повністю усувають «кінк-ефект». Головною незручністю таких контактів є істотне збільшення площі елемента і потреба у зв'язках з V_{SS} в кожному МОН елементі. Важливі переваги технології КНІ в термінах компактного розташування елементів дещо втрачаються, оскільки додаткові контакти забирають цінну площу кремнієвої підкладки.

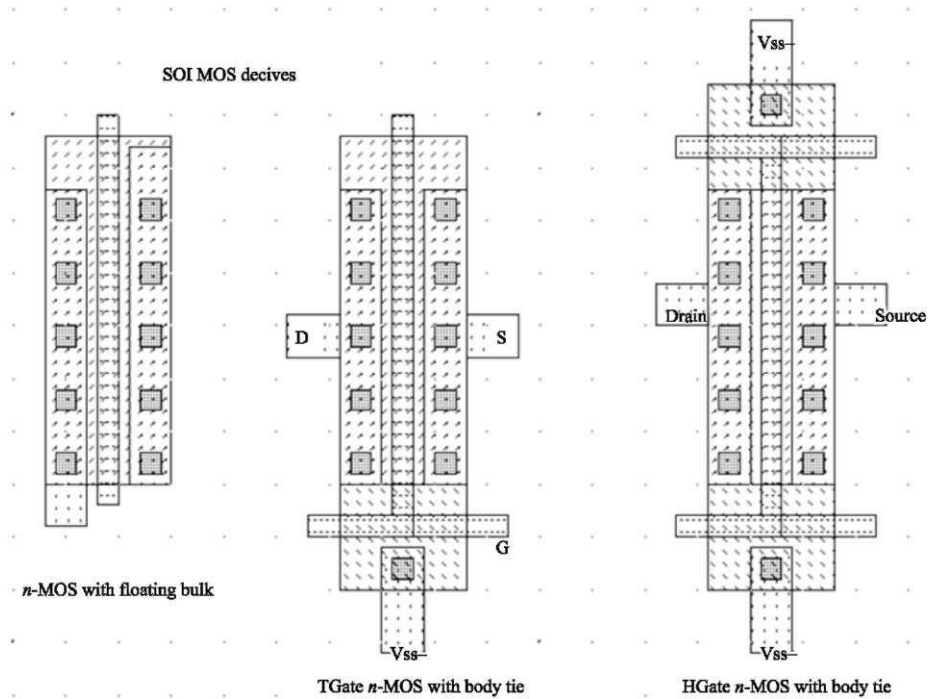


Рис. 27. Додатковий контакт в частково-виснажуваний МОН для уникнення кінк- ефекту (МОНКНІМСК)

Ефект пам'яті. Врахування FBE вимагає специфічних моделей, які працюють з ефектом пам'яті накопичених зарядів під каналом. Без додаткових контактів, постійна часу для усунення цих зарядів становить порядку мілісекунди, що є набагато більшим за затримку переключення логічних елементів. Проте, тільки малий відсоток транзисторів в типовій логічній схемі не в змозі працювати належним чином з плаваючим тілом і вимагають додаткових контактів із землею. Функціональні помилки пов'язані з ефектом плаваючого тіла, було описано в.

Терагерцовий МОН елемент. Терагерцовий (10^{12} Герц) транзистор – ключовий елемент для розвитку процесорів, які працюють на частотах 10-20 ГГц. Очікується, що МОН елемент із частотою пропускання в районі терагерц буде випущено разом з 45 нм технологічним КМОН процесом. У терагерцовому МОН елементі поєднано КНІ-підкладку, коротку довжину затвору, нові матеріали затвору і ізолятор з великою діелектричною проникливістю для затвору. Технологічні проблеми, які потрібно розв'язати стосуються струмів втрат затвору і транзистора та надійності діелектрика.

Порівняння між стандартним і терагерцовим КНІ МОН елементом показано на рис. 28.

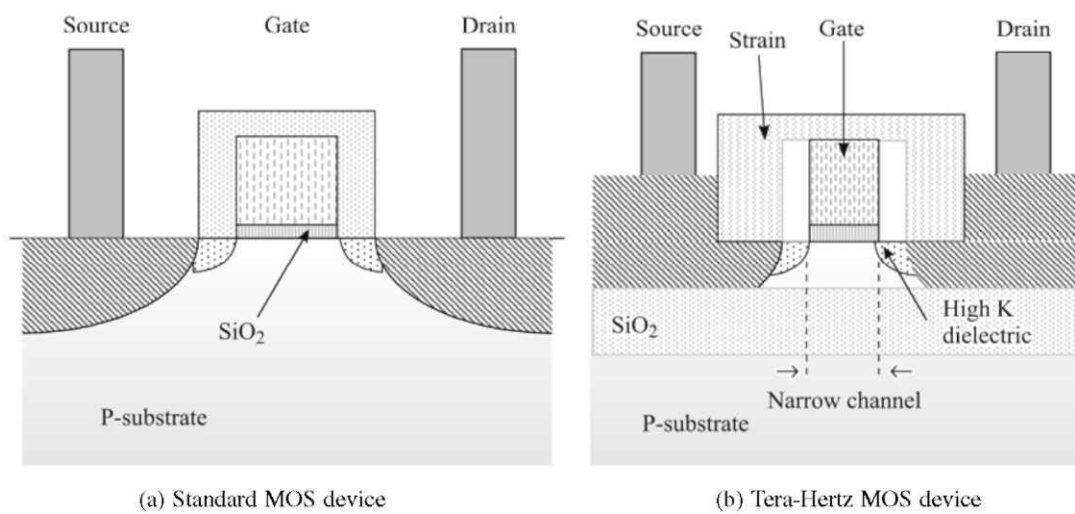


Рис. 28. Терагерцовий транзистор.

РОЗДІЛ III. Аналіз схем пам'яті і можливостей їх проектування на КНІ – транзисторах

Схеми пам'яті – основні компоненти в сучасних ІС. Автономні схеми пам'яті складають приблизно 30% глобального ІС ринку. У кристалі обсяг пам'яті звичайно представляє більш ніж 75% із загальної кількості транзисторів.

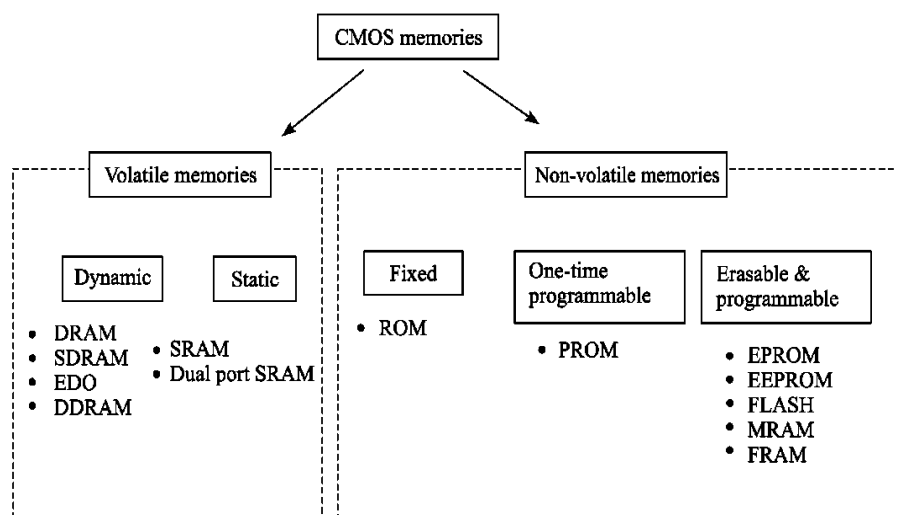


Рис. 29. Головні класи сумісних з КМОП схем пам'яті.

Є два основні класи схем пам'яті: динамічні і постійні схеми пам'яті.

- У динамічних схемах (рис. 29 зліва), дані зберігаються, поки прикладена напруга живлення. Динамічна пам'ять (DRAM) прямого доступу це найзагальніша динамічна пам'ять.
- Постійні схеми пам'яті здатні до зберігання інформації, навіть якщо напруга відключена (рис. 29 справа). Постійна пам'ять (ROM) - найпростіший вид постійної пам'яті. Одноразові програмовані схеми пам'яті (PROM) - важливе сімейство, але найпопулярніший серед схем пам'яті – пристрої, вміст яких можна стирати чи програмувати. Вони включають ROM (EPROM), PROM з електричним стиранням (EEPROM, FLASH), і нову магніто-резистивну оперативну пам'ять (MRAM), а також схеми ферроелектричної RAM (FRAM).

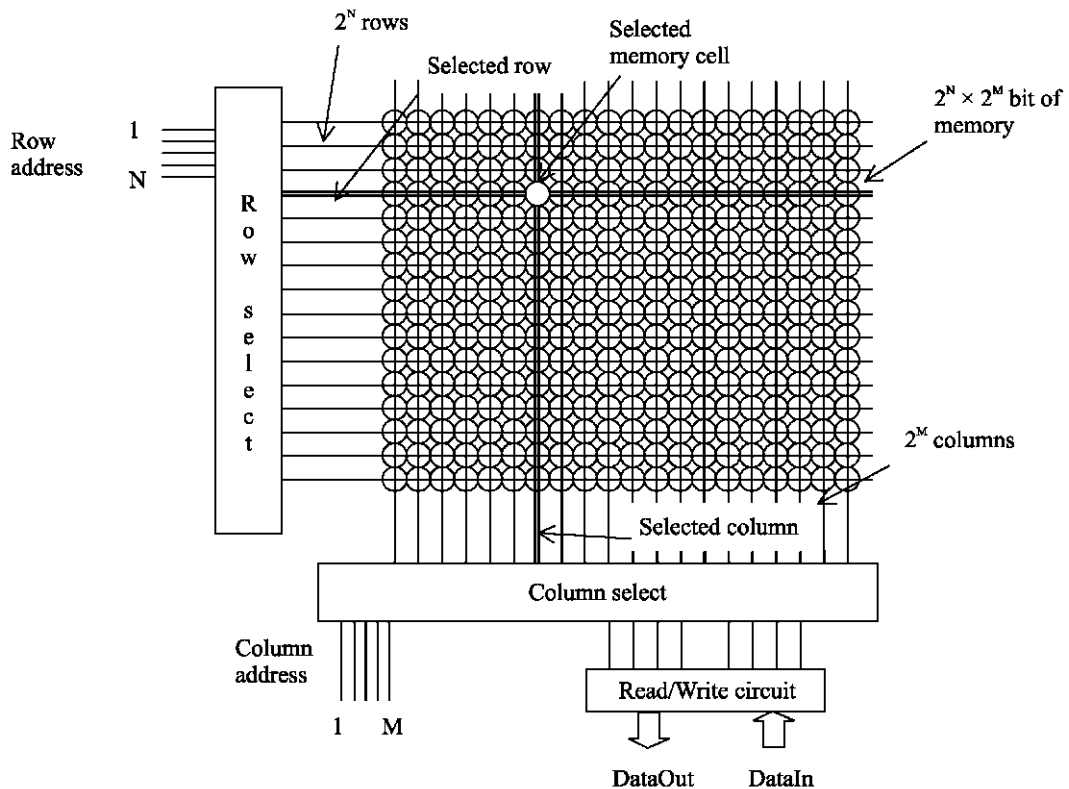


Рис. 30. Типова організація пам'яті

Рис. 30 показує типову організацію елемента пам'яті. Він складається з масиву пам'яті, декодера рядка, декодера стовпця та схем для читання-запису. Декодер рядка вибирає один рядок з 2^N , завдяки N-розрядній адресі вибору рядка. Декодер стовпця вибирає один стовпець з 2^M , завдяки M-розрядній адресі вибору стовпця. Масив пам'яті побудований на 2^N рядках і 2^M стовпцях з одною і тою ж структурою, найпростішим елементі пам'яті. Типове значення для N і M складає 10, приводячи до 1024 рядків і 1024 колонок, які відповідають 1048576 елементарним коміркам пам'яті.

3.1 Архітектура та елементи оперативної статичної пам'яті

Оперативна пам'ять. Основна комірка пам'яті для пам'яті статичного типу будується на шести транзисторах з двома прохідними затворами замість одного. Відповідна схема показана на рис. 31. Схема складається з двох навхрест зв'язаних інверторів, та використовує два додаткові транзистори доступу. Ця комірка проектувалася, щоб дублюватися в X- і Y-напрямах для того, щоб створити великий масив комірок пам'яті. Звичайні розміри для мегабітної SRAM схеми пам'яті складають 1024 стовпці і 1024 рядки, або

більше. Невелика область розміром 4×4 елементи RAM запропоновані на рис. 31. Лінія вибору WL з'єднує всі комірки одного рядка. Розрядні лінії BL і $\sim BL$ з'єднують всі комірки одного стовпця.

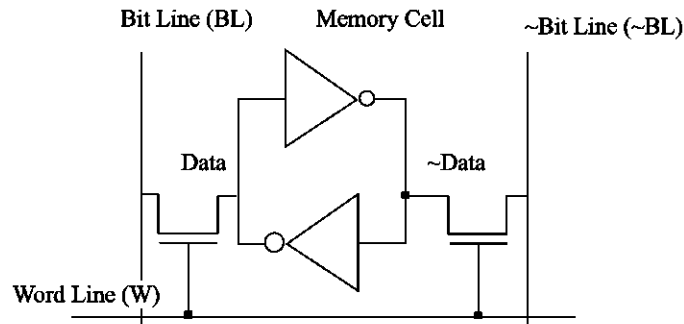


Рис. 31. Розташування шеститранзисторного статичного елемента пам'яті (RAM6T.SCH)

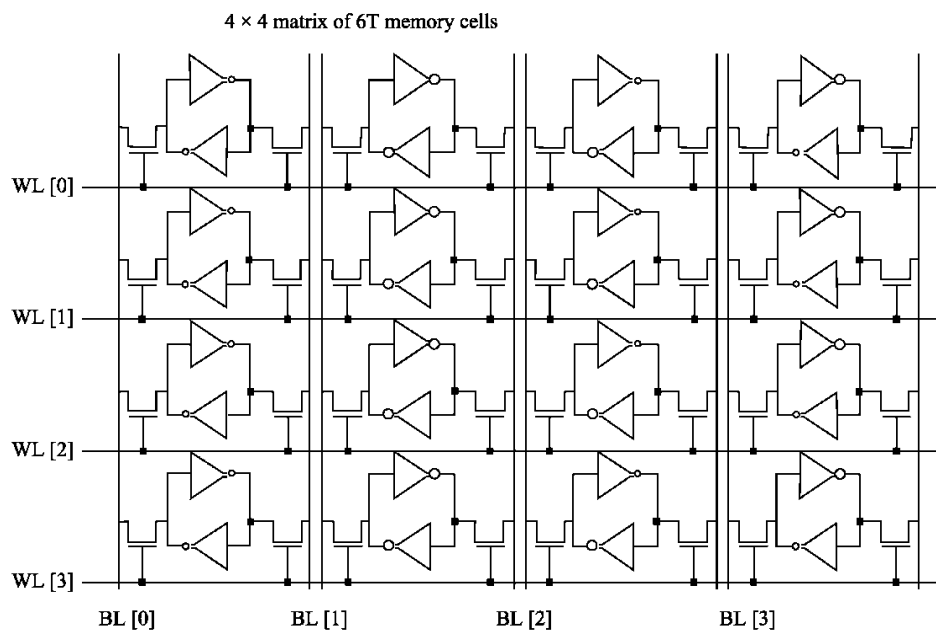


Рис. 32. Масив 6Т елементів пам'яті, з чотирма рядками і чотирма стовпцями (RAM6T.SCH)

Розташування RAM показано на рис. 32 BL і $\sim BL$ сигнали виконані з $metal2$ і перетинають комірку згори донизу. Лінії живлення горизонтальні, зроблені з $metal3$. Це розташування дозволяє легке дублювання елемента оперативної пам'яті для створення матриці елементів.

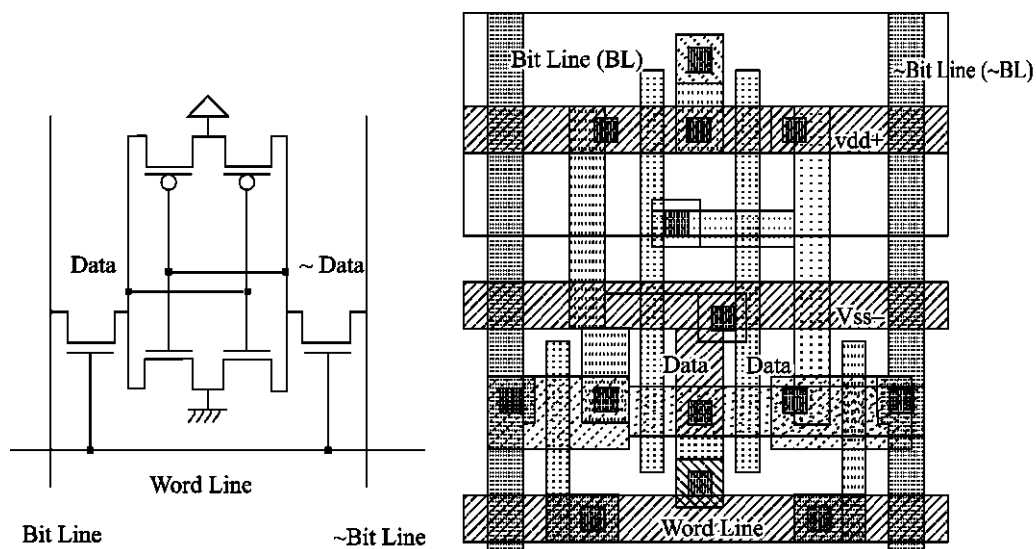


Рис. 33. Розташування SRAM комірки (RAM6T.MSK)

Цикл запису. Число нуль чи одиниця повинне бути подане на *Bit Line* а його інвертоване значення на *~Bit Line*. Потім лінію *Word Line* переводять у стан „1”. Після цього тригер набуває значення з *Bit Line*. Коли лінія вибору *Word Line* переходить до нуля, оперативна пам'ять знаходиться в режимі зберігання даних.

Цикл читання. Лінія вибору *Word Line* повинна бути встановлена в „1”, але ніякої інформації не потрібно подавати на лінії даних. У такому разі збережене значення даних поширюється по *Bit Line*, а його інвертоване значення поширюється по *~Bit Line*.

Моделювання. Параметри моделювання відповідають циклам зчитування та запису в оперативній пам'яті. Запропоновані кроки моделювання складаються з запису логічного «0», «1», а потім зчитування «1». У другій фазі ми записуємо «1», «0», а потім читаємо «0». Лінії *Bit Line* і *~Bit Line* керуються імпульсами (рис. 34). Високоімпедансний стан отримується, якщо вказати "x" замість «1» чи «0» в описі сигналу.

Модель елемента RAM запропонована на рис. 35. У момент часу 0.0, лінія *Data* має непередбачуване значення „1”, після нестійкого періоду. Тим часом *~Data* переходить в «0». У момент часу 0.5 нс елемент пам'яті вибрано подаванням „1” на *Word Line*. Оскільки *Bit Line* містить нуль, в елементі пам'яті записується «0» і *Data* переходить теж в «0». У момент 1.5 нс,

елемент пам'яті вибраний знову. Оскільки *Bit Line* містить „1”, в елементі пам'яті записується «1». Протягом циклу читання, в якому *Bit Line* і \sim *Bit Line* плаваючі, пам'ять встановлює ці лінії в одного і «0», відповідно до збереженого в комірці значення.

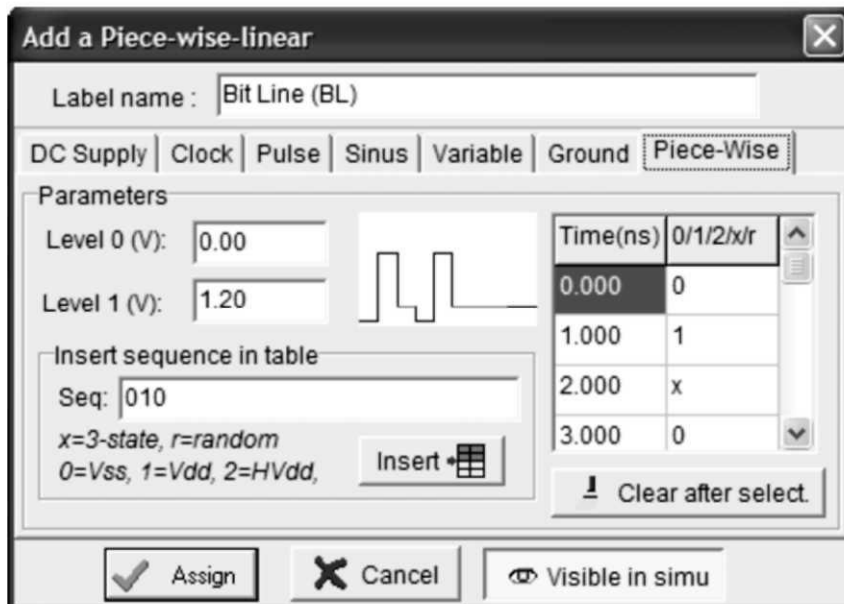


Рис. 34. Лінія *Bit Line* використовує плаваючий режим „x” щоб дозволити зчитування елементу пам'яті (RamStatic6T.MSK)

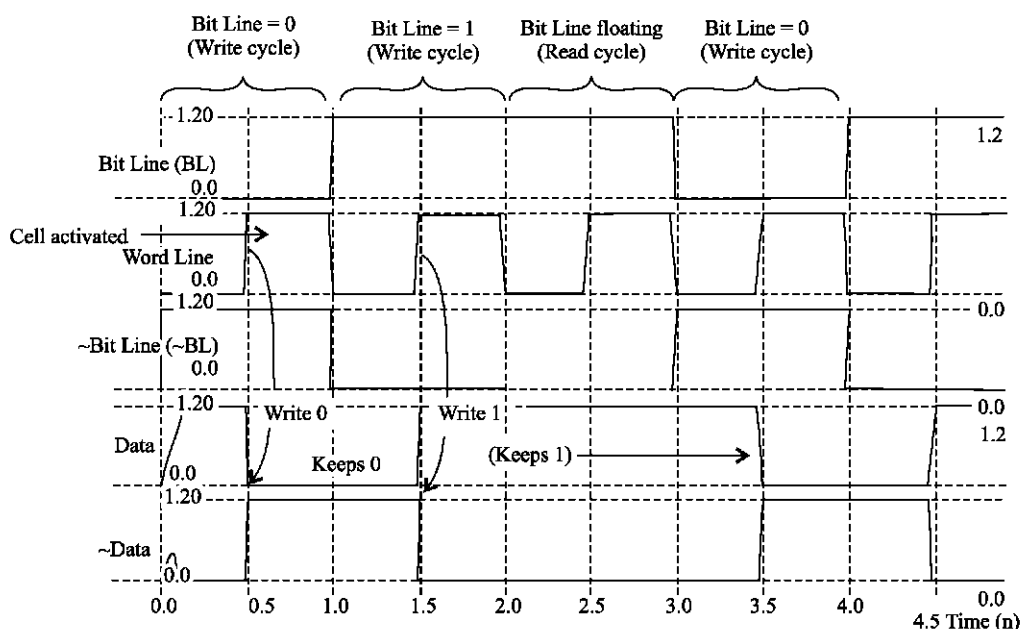


Рис. 35. Цикл запису для SRAM комірці (RamStatic6T.MSK)

Масив RAM. Комірку пам'яті RAM можна мультиплікувати в матрицю 4×4 біт, використовуючи команду **Edi > Duplicate XY**. Якщо вибрати цілий

елемент RAM і з'явиться нове вікно. Введіть значення «4» для X і «4» для Y в меню. Клацніть по «**Generate**».

Особливості проектування масиву пам'яті. Дуже цікавий підхід для одержання компактнішого елемента пам'яті полягає в сумісному використанні всіх можливих ліній: живлення, загальної і розрядних ліній. Як наслідок, ефективний розмір комірки може бути значно зменшений (рис. 36).

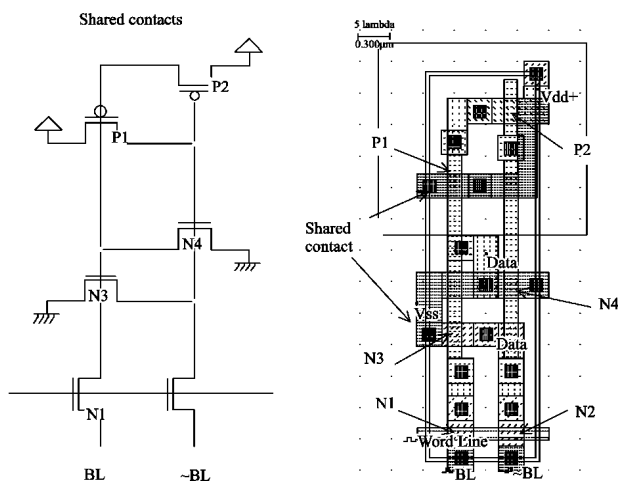


Рис. 36. Спільне використання всіх керуючих ліній приводить до дуже компактного проекту комірки (Ram6Tcompact.MSK)

Це розташування функціонально ідентичне попередньому розташуванню. Єдина відмінність полягає в розміщенні МОН пристроїв і контактів. Ми дублюємо елемент RAM в 64-розрядний масив. Дублювання не може робитися безпосередньо командою, **Duplicate XY**, оскільки нам потрібно симетризувати одну комірку горизонтально, щоб спільно використати поперечні контакти, і симетризувати результуючий блок вертикально, щоб спільно використати вертикальні контакти (рис. 37).

3.2 Функціонування статичної пам'яті

Цикл вибору рядка. Цикл вибору рядка розшифровує адресу рядка і активізує один єдиний рядок (рис. 38). Ця лінія вибору рядка одночасно використовується всіма лініями вибору слів в рядку. Схема вибору рядка будується на основі схеми мультиплексора. Лише одна лінія вибору рядка може бути активною, всі інші містять „0”.

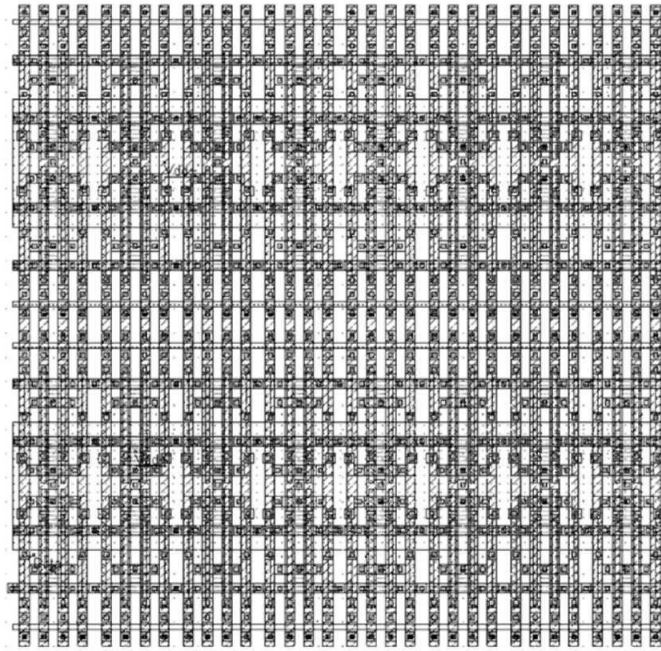


Рис. 37. Компактний 16 x 4 масив елементів пам'яті з спільними контактами (Ram16 x 4Compact.MSK)

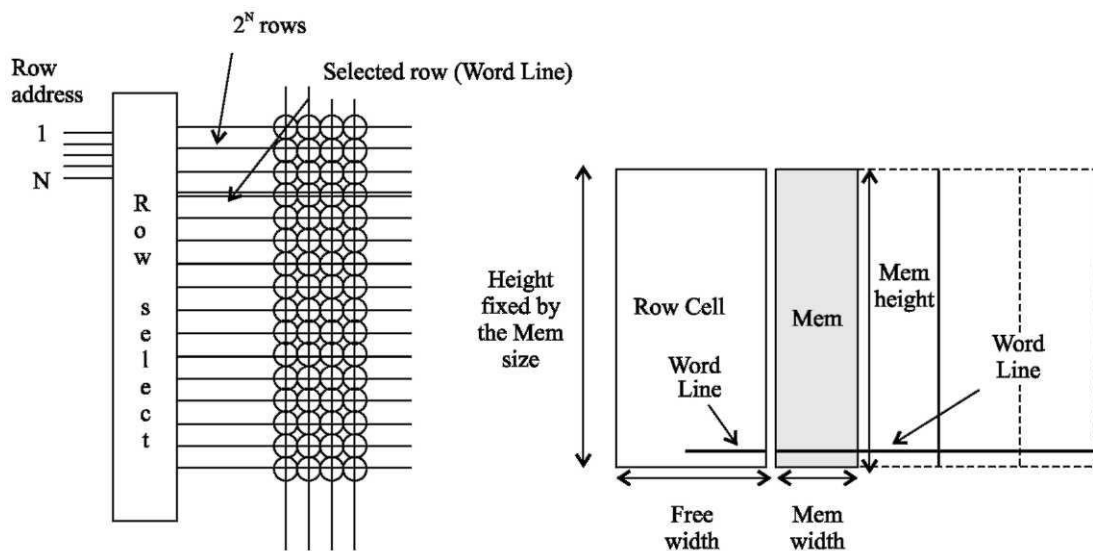


Рис. 38. Схема вибору рядка

У схемі вибору рядка для 16×4 масиву, нам просто потрібно розшифрувати двобічну адресу. Використання „логічне І” (AND) затвору – одне просте рішення. На рис. 39, ми представляємо схему декодерів 2-в-4 і 3-в-8. У разі дуже великого числа ліній адреси, декодер розділяють на під-декодері, кожен з яких керує своїм меншим набором адресних ліній.

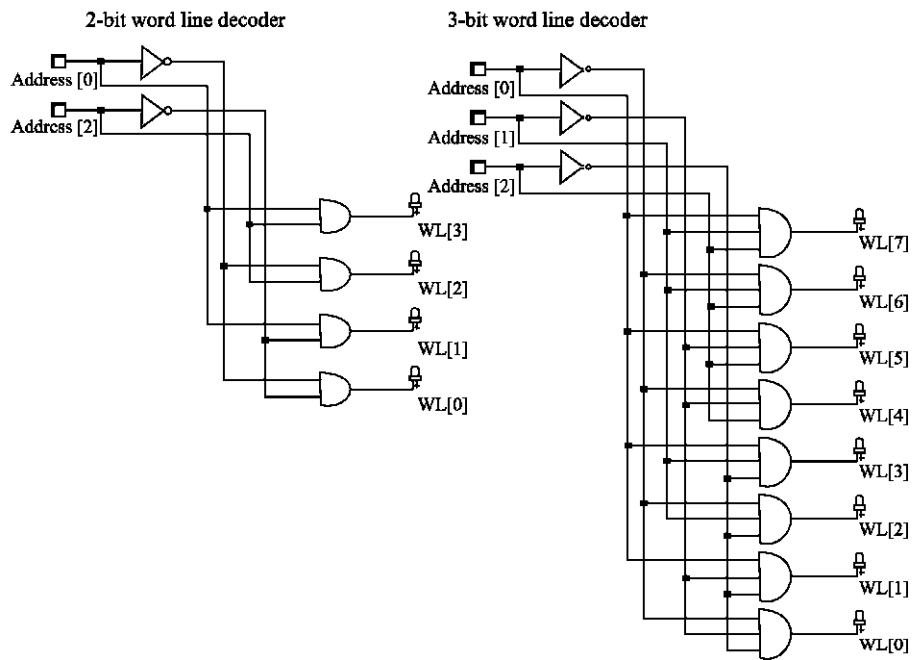


Рис. 39. Схема вибору рядка у двобітній та трибітній конфігураціях (RamWordline.SCH)

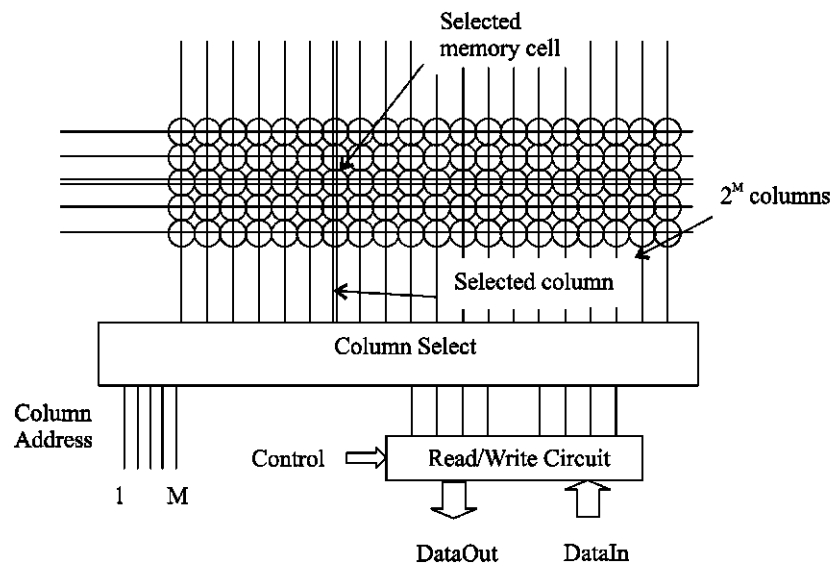


Рис. 40. Принципова схеми вибору стовпця

Цикл вибору стовпця. Декодер стовпця вибирає певний стовпець в масиві пам'яті, щоб читати вміст вибраної комірки пам'яті (рис. 40) або змінити її вміст. Селектор стовпця будується на таких же принципах як і декодер рядка. Головною різницею є те, що дані проходять в обидва боки, це або від елементу пам'яті до вихідного контакту *DataOut* (цикл читання), або від контакту *DataIn* вхідних даних до комірки (цикл запису). На рис. 41

показано архітектуру, основу на МОН транзисторах з n -каналом. Ми розглядаємо тут чотири стовбці елементів пам'яті, які вимагають два сигнали адреси $Address_Col[0]$ і $Address_Col[1]$. МОН пристрій n -каналу використовується як вимикач, керований сигналами вибору стовпця. Коли n -МОН активний і активна лінія $Write$, (рис. 41) вхідні дані, підсилені буфером, проходять по лініях BL і $\sim BL$ згори донизу і досягають комірок пам'яті. Якщо лінія $Write$ є неактивна, тристабільний інвертор знаходиться у стані з високим імпедансом, який дозволяє зчитувати інформацію.

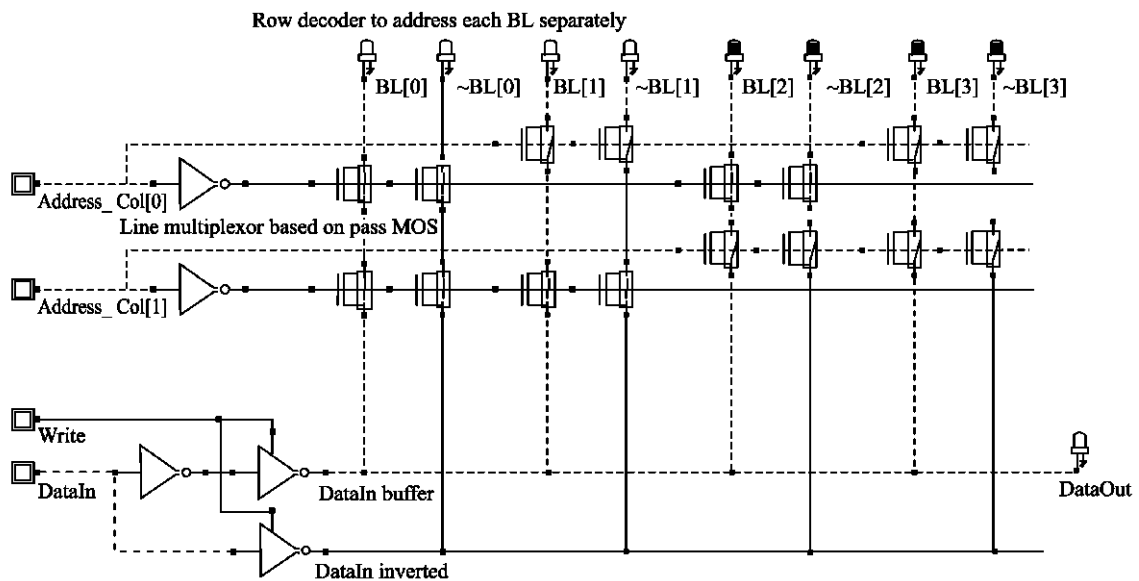


Рис. 41. Схеми вибору рядка і схеми читання/запису (RamColumn.SCH)

3.3 Повна 64-розрядна SRAM

64-розрядний інтерфейс пам'яті статичної RAM (SRAM) показаний на рис. 42. 64 біти пам'яті об'єднані в чотирьох бітні слова, тобто $DataIn$ і $DataOut$ мають чотири розряди. Кожне слово даних $D0..D15$ займає чотири суміжні комірки пам'яті в масиві. Чотири лінії адреси необхідні для того, щоб дешифрувати одну адресу із 16 можливих. Структура пам'яті, показана на рис. 42, вимагає двох ліній адреси $A0$ і $A1$ для ліній вибору слова $WL[0]..WL[3]$ і двох ліній адреси $A2$ і $A3$ для розрядного вибору лінії. Завершальне розташування 64-розрядного SRAM показане на рис. 43.

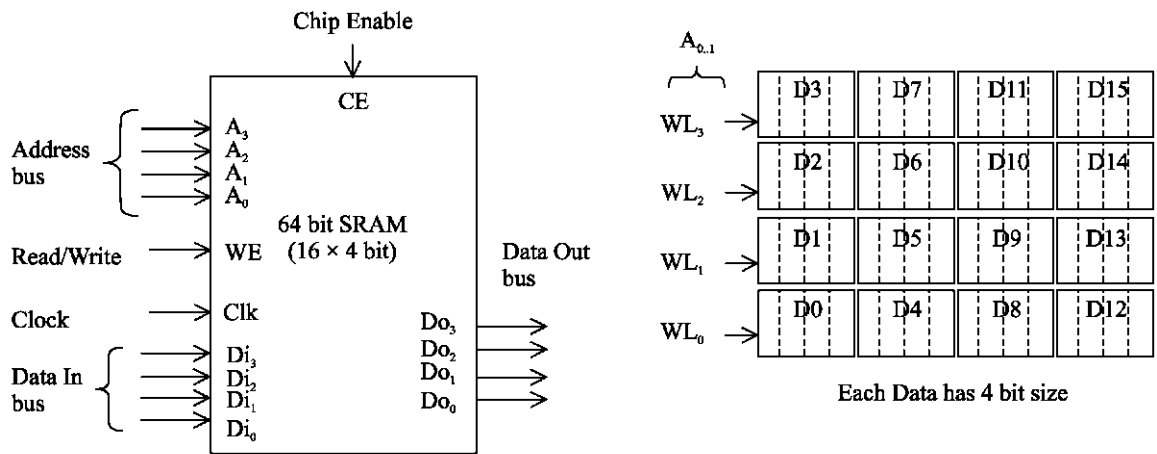


Рис. 42. Архітектура 64-розрядної RAM(RAM64.MSK)

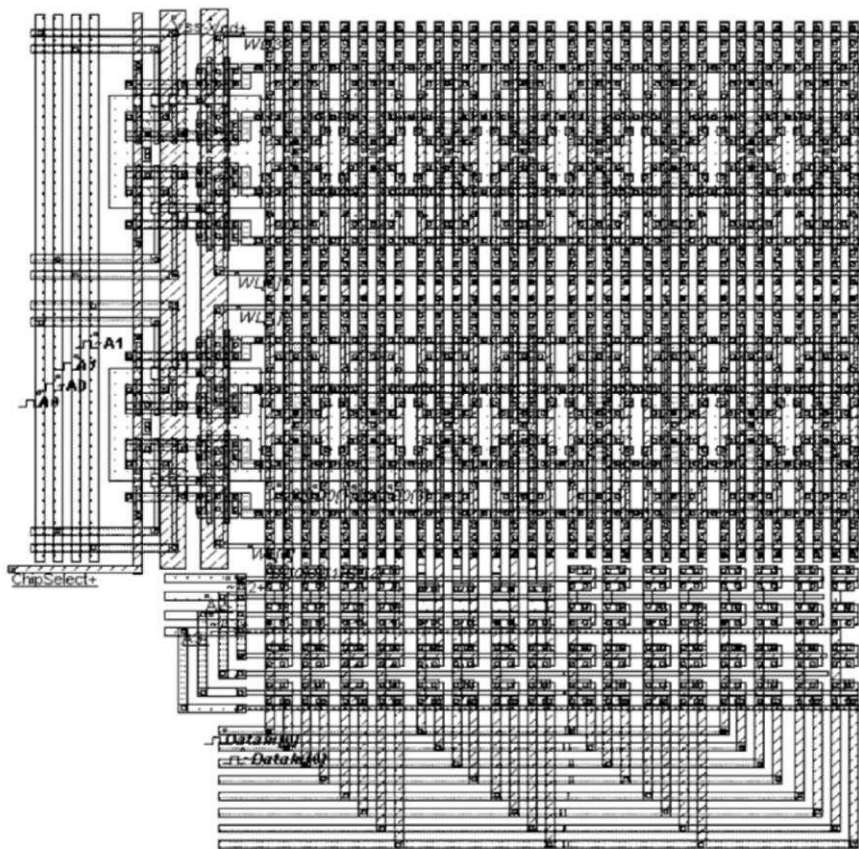


Рис. 43. Повне розташування RAM(RAM64.MSK)

3.4 Динамічна оперативна пам'ять та EPROM

Динамічна оперативна пам'ять (DRAM) має тільки один транзистор, для того, щоб поліпшити щільність матриці пам'яті майже на один порядок величини. Елемент, що запам'ятовує, – більше не стійка петля інвертора, як

було в SRAM, а лише один конденсатор, який називається конденсатор зберігання. Архітектура комірки DRAM показана на рис. 44.

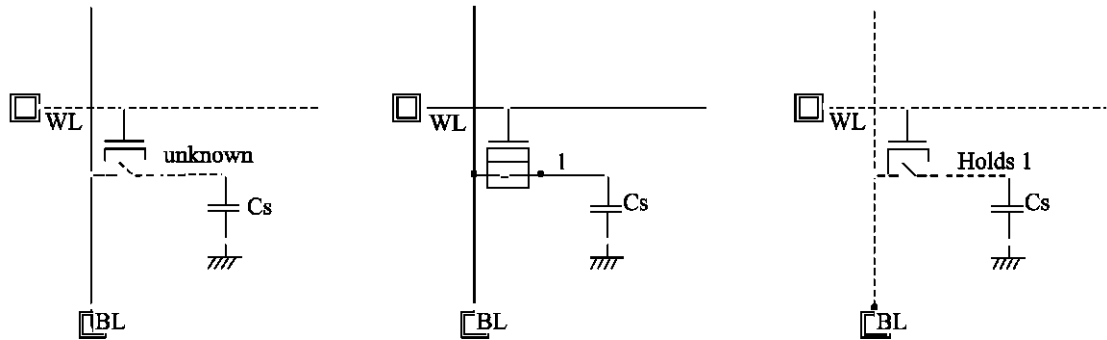


Рис. 44. Моделювання циклу запису для одно транзисторної комірки DRAM (RAM1T.SCH)

Процес запису і зберігання „1” показано на рис. 44. Дані встановлюють в розрядній лінії, лінія вибору слова активізується і ємкості C_s заряджається. Оскільки транзистор n-типу, аналогова напруга на конденсаторі досягає $V_{DD} - V_t$. Коли лінія вибору слова деактивується, конденсатор C_s утримує „1”.

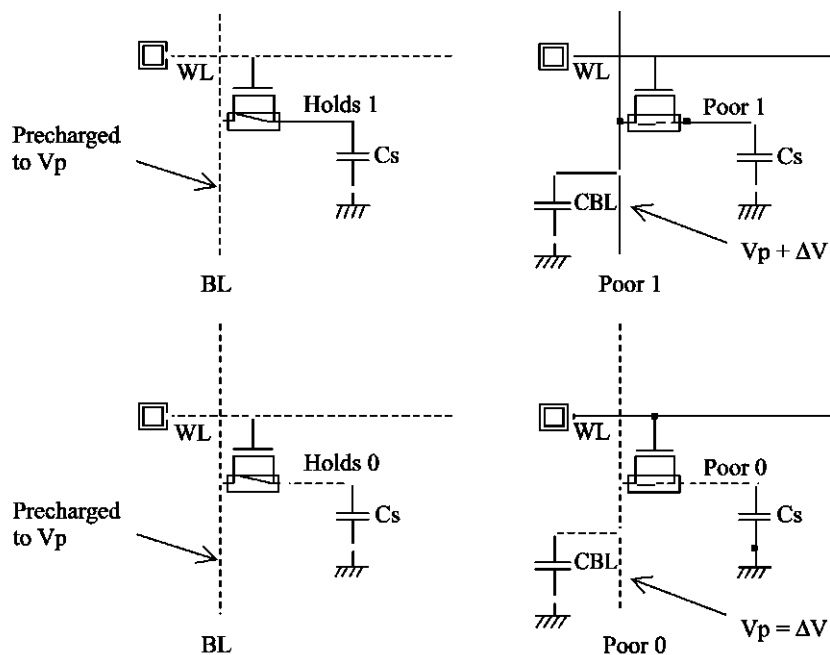


Рис. 45. Моделювання циклу читання для одотранзисторної комірки DRAM (RAM1T.SCH)

Цикл читання руйнівний для збереженої інформації. Припустимо, що C_s тримає „1”. Лінія даних попередньо заряджається до напруги V_p (звичайно близько $V_{DD}/2$). Коли лінія слова активна, встановлюється зв’язок між розрядною лінією, зарядженою конденсатором CBL , і пам’яттю, зарядженою

конденсатором C_s . Заряди перерозподіляються між цими вузлами, і в результаті маємо невелике збільшення напруги V_p на ΔV , завдяки ін'єкції зарядів від пам'яті.

Комерційні схеми пам'яті DRAM використовують конденсатори зберігання із значенням ємності від 10 фФ до 50 фФ. Це робиться створенням специфічного конденсатора для вузла зберігання, показаного на Рис. 46 зліва, завдяки таким технологічним досягненням: використання певних металевих шарів, щоб створити нижню пластину і зовнішні стінки конденсатора оперативної пам'яті, збільшена висота між поверхнею підкладки і металом, і використання оксиду діелектрика з високою діелектричною проникливістю. SiO_2 має діелектричну проникливість ϵ_r 3.9. Інші оксиди, сумісні з процесом КМОН, мають вищу діелектричну проникливість (вище 'К'); Si_2N_4 має ϵ_r близько до 7.0, і Ta_2O_5 має ϵ_r 23.

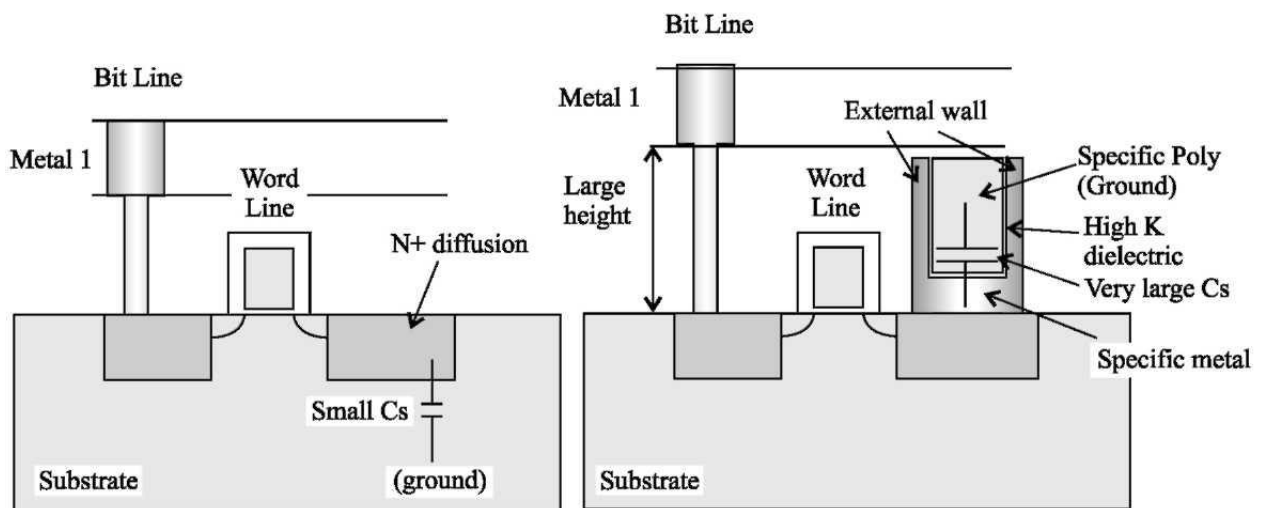


Рис. 46. Збільшення ємності зберігання (зліва: конденсатор на переході, справа: вбудований конденсатор)

Поперечний розріз масиву DRAM показано на рис. 47. Розрядна лінія розведена *metal2*, і з'єднана з коміркою через *metall1* і дифузійний контакт. Лінія слова – затвор з полікристалічного кремнію. Справа знаходиться конденсатор зберігання – сендвіч провідного матеріалу, з'єднаного з дифузійним контактом, тонкого шару оксиду (SiO_2 в даному випадку) і другого провідника, який заповнює конденсатор і з'єднаний із землею контактом до першого рівня металу. Тут ємність складає близько 20 фФ.

Вищі значення ємності можуть бути отримані використовуючи більші конденсаторні області, за рахунок меншої щільності комірки.

EPROM. Основний елемент електрично стираної PROM пам'яті (EEPROM) пам'яті - транзистор. Ця концепція була введена декілька років тому для стираного PROM (EPROM). Вона ґрунтується на можливості заманювання в пастку електронів в ізолюваному шарі полікристалічного кремнію, розміщеному між каналом і керуючим затвором.

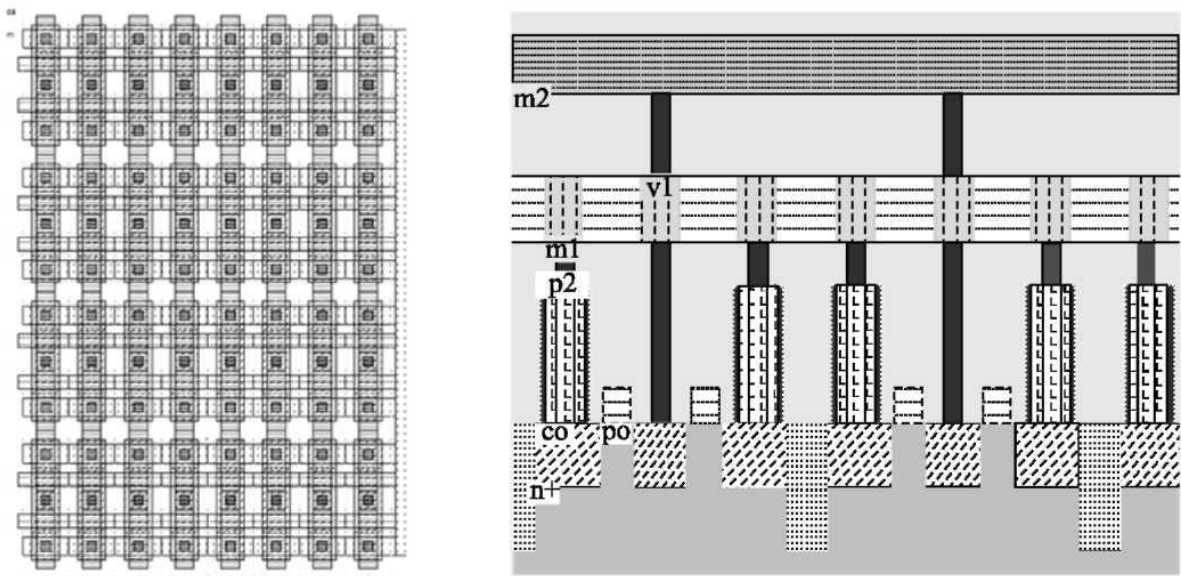


Рис. 47. Упакована комірка конденсаторів і комірка з дифузійними конденсаторами (DramEdram.MSK)

Ці заряди мають прямий вплив на порогову напругу елемента з подвійним затвором. Коли немає ніяких зарядів в плаваючих затворах (рис. 48, верхня частина), порогова напруга низька. Це означає, що значний струм може текти між витокон і стоком, якщо висока напруга є прикладною до затвора. Проте, канал є маленьким в порівнянні з регулярним КМОН каналом і струм I_{ON} в три-п'ять разів менший ніж струм каналу такого ж розміру.

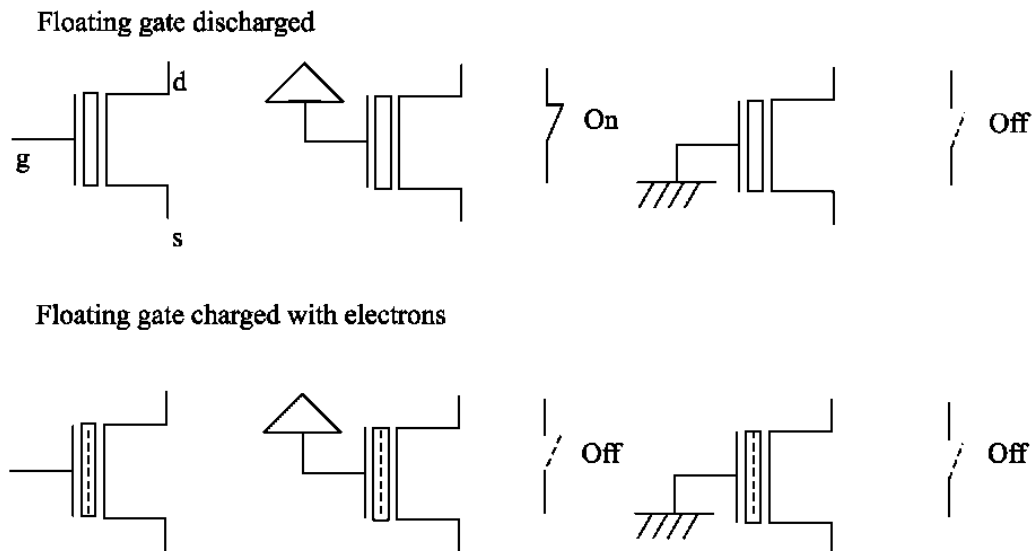


Рис. 48. Два стани елемента КМОН з подвійним затвором (EepromExplain.SCH)

Коли заряди захоплені в плаваючому шарі полікристалічного кремнію (рис. 48, нижня частина), порогова напруга висока, і струм через елемент майже не тече, незалежно від напруги на затворі. По суті справи, електрони, захоплені в плаваючому затворі, запобігають створенню каналу відштовхуючи електрони каналу. Збереження даних – ключова особливість EEPROM, оскільки вона повинно бути гарантованою для широкого діапазону температур і робочих режимів. Оптимальні електричні властивості надтонкого оксиду затвору і між затворного оксиду є критичними для збереження. Типовий час зберігання інформації для EEPROM складає 10 років.

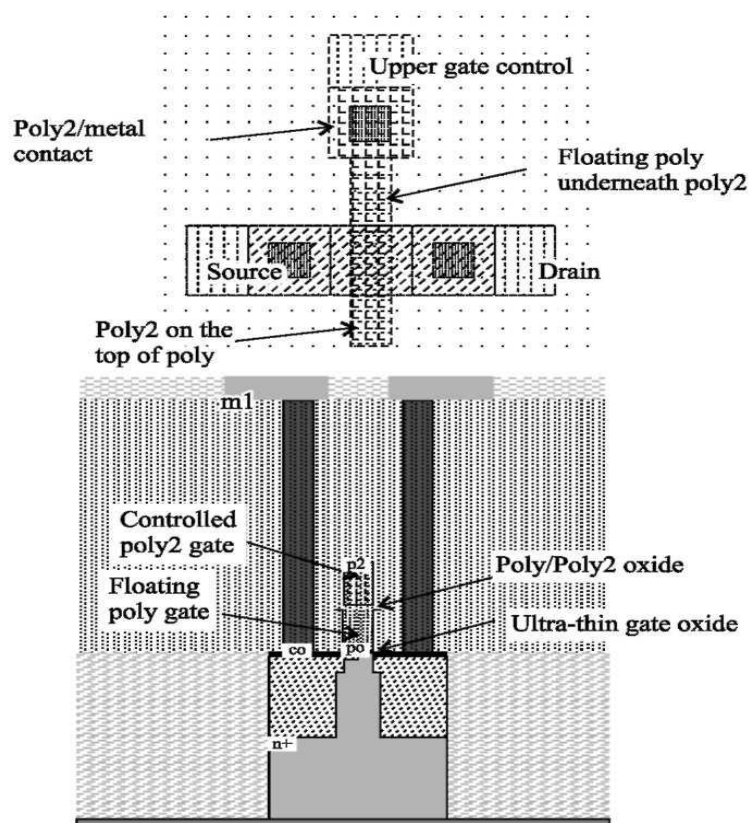


Рис. 49. Елемент КМОН з подвійним затвором (Eeprom.MSK)

Схема МОН елемента з подвійним затвором показана на рис. 47. Ця структура дуже подібна до МОН пристрою *n*-каналу, за винятком додаткового шару *poly2* над шаром полікристалічного кремнію. Шар полікристалічного кремнію знизу не має контакту, тобто є плаваючим вузлом. Тільки верхній затвор у *poly2* шарі з'єднаний з шаром металу через контакт *poly2/metal*, розташований вгорі. На поперечний розрізі (рис. 31) показано структуру шарів *poly/poly2*, які знаходяться один над одним і тонкий шар оксиду між ними.

3.5 МОН – структури з подвійним затвором

Програмування транзистора з подвійним полікристалічним кремнієм включає передачу електронів від витоків до плаваючого затвору через тонкий шар оксиду (рис. 50). Зверніть увагу на високу напругу стоку (3V), яка необхідна, щоб надати досить температури деяким електронам, щоб зробити їх "гарячими", і дуже високу керуючу напругу затвору потрібну для того, щоб притягнути деякі з цих гарячих електронів до плаваючого *poly* через

надтонкий шар оксиду затвору. Ця напруга змінюється від 7 до 12 В, залежно від технології. У Microwind, символи "++" біля позначення сигналів вказує на те, що використовується напруга, вища за номінальну.

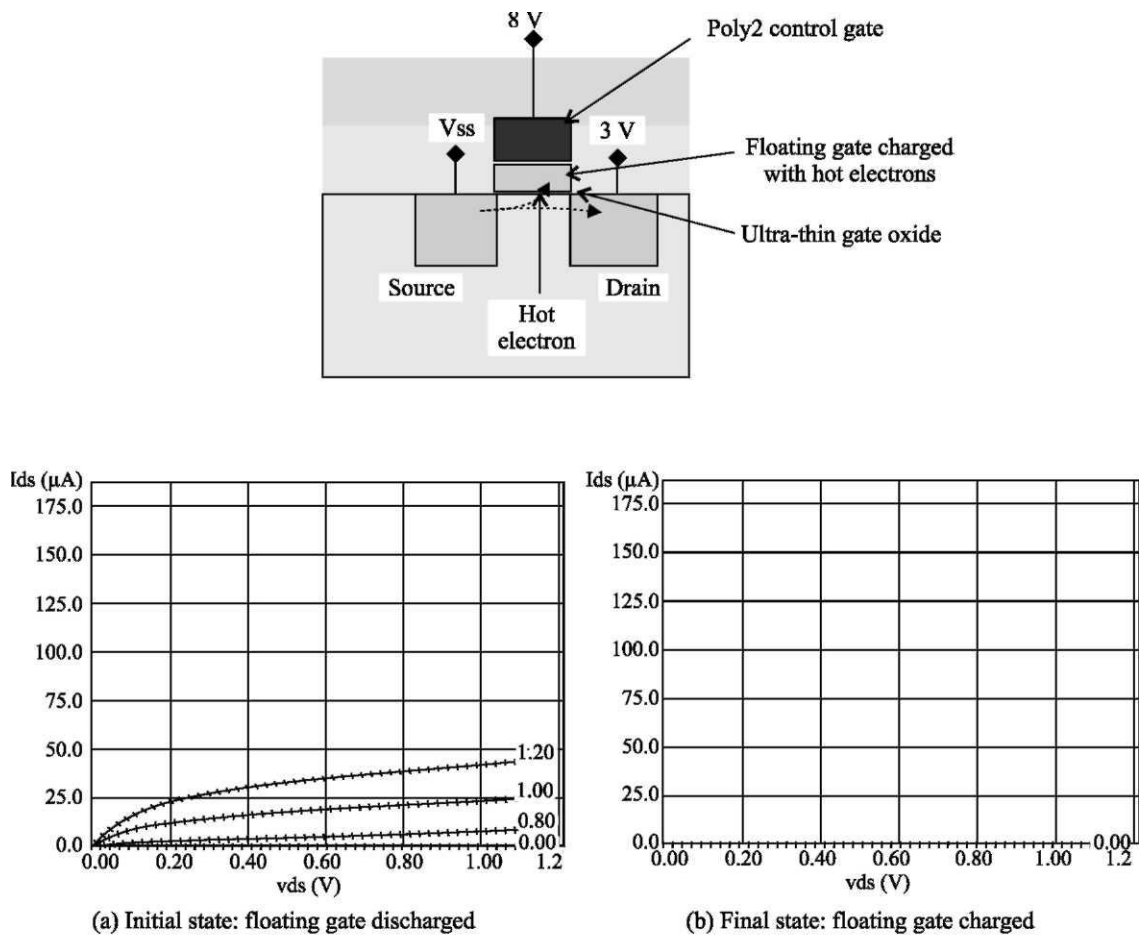


Рис. 50. Характеристики КМОН елемента з подвійним затвором (а) без і (б) з зарядами (EepromCharge.MSK)

На початку (рис. 50 а) в плаваючому затворі немає зарядів, завдяки чому можливе протікання струму, коли напруга затвору *poly2* висока. Проте, цей елемент є суттєво менш ефективний, ніж стандартний елемент МОН з *n*-каналом через непряме керування каналом. Максимальний струм малий, але суттєвий. Програмування здійснюється з використанням дуже високої напруги затвору *poly2*, 8 В. Механізм переходу електронів від заземленого джерела до плаваючого затвору полікристалічного кремнію, який називається тунелювання, – повільний процес. У Microwind3 для цього потрібно близько 1000 нс. При достатній позитивній напрузі на *poly2* затворі, різниця напруг між *poly* і джерелом буде достатньо висока, щоб надати

можливість електронам пройти через тонкий шар оксиду. Електрони, захоплені на плаваючому затворі, збільшують порогову напругу елемента, таким чином швидко зменшуючи струм каналу. Коли затвор повністю заряджений, струму більше нема на I_d/V_d характеристиках (рис. 50 б).

Розрядження МОН структури з подвійним затвором. Плаваючий затвор може бути стертий за допомогою опромінення ультрафіолетовим світлом або електричним стиранням. Ультрафіолетове стирання – унаслідковане від EEPROM, вимагає певного корпусу з вікном для того, щоб дозволити опромінити банк пам'яті певним світлом. Процес є дуже повільний (близько 20 нм). Після опромінення ультрафіолетовим світлом, порогова напруга МОН елемента з подвійним затвором стає низькою, що дозволяє струму знову протікати. У Microwind3, команда **Simulate > UV exposure to discharge floating gates** моделює опромінення всіх елементів КМОН з подвійним затвором ультрафіолетовим світлом. Також заряд може бути доступний окремо використовуючи команду **Simulate > MOS characteristics**. Змінюючи позицію курсора *Charge* динамічно змінює характеристики МОН елемента.

Для електричного стирання, *poly2* затвор заземляється і висока напруга (близько 8 В) є прикладається до витоків. Електрони витягуються з плаваючого затвору завдяки високому електричному полю між витоків і плаваючим затвором. Такий перехід електронів називається тунелювання Фоллера-Нордхайма (рис. 51).

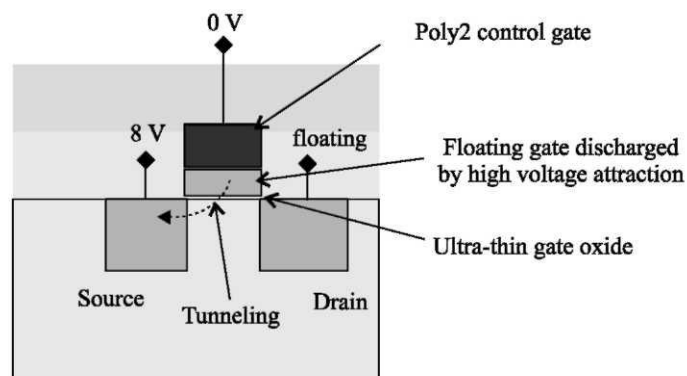


Рис. 51. Розрядження МОН елемента з подвійним затвором (EepromDischarge.MSK)

Основна структура для читання EEPROM інформації показана на рис. 52. Після попередньої зарядки до V_{DD} , і як тільки WL встановлена, напруга на розрядній лінії може або падати до V_{SS} , якщо плаваючі затвори не мають зарядів, або залишатись високою, якщо затвор заряджений. Це блокує шлях між BL і землею через EEPROM пристрій. На рис. 51 зліва, плаваючі затвори не мають зарядів, так що BL зв'язана з землею після попередньої зарядки, що дає на виході значення „1”.

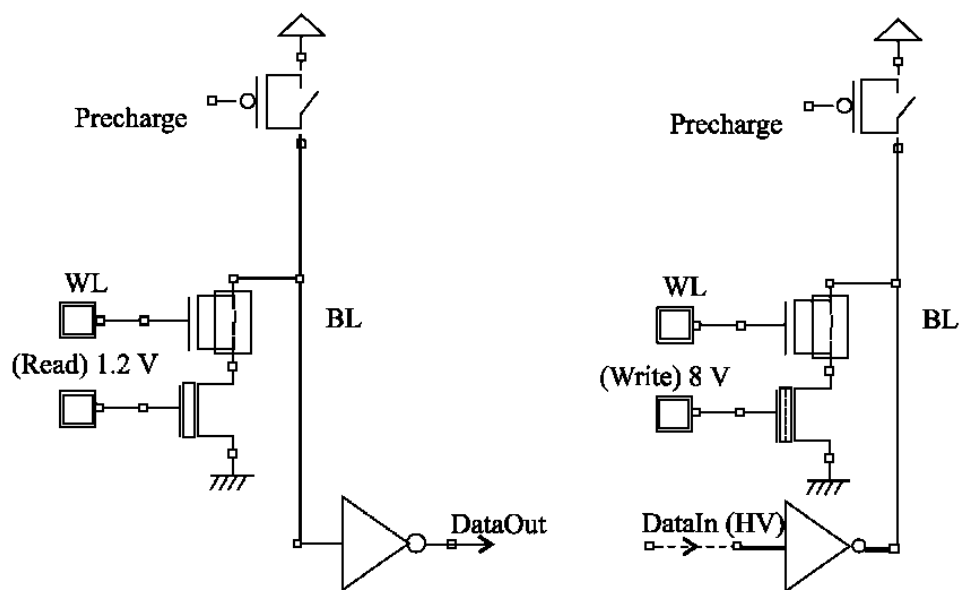


Рис. 52. Зчитування і запис

При операції запису прикладається дуже висока напруга на затвор (8 В), і висока чи низька напруга подається на BL . Нуль на $DataIn$ еквівалентний до високої напруги на BL , яка провокує ефект гарячих електронів і заряджає плаваючий затвор. Одиниця на $DataIn$ підтримує напругу на BL низькою, і струм через EEPROM елемент не протікає. У цьому разі, плаваючий затвор залишається розрядженим.

2.6 Flash- схеми пам'яті

Flash-пам'ять є варіантом EEPROM пам'яті. Flash-пам'ять може бути програмована електрично, але може бути стерта тільки блоками. Flash-пам'ять побудована на МОН елементі з подвійним затвором з полікристалічного кремнію, без будь-якого транзистора вибору (рис. 53).

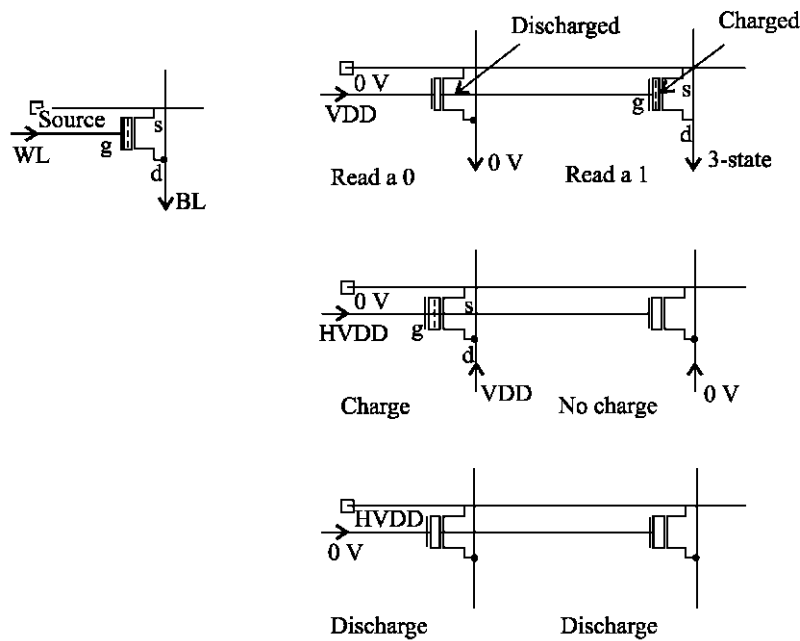


Рис. 53. Елемент Flash-пам'яті і принципи її програмування (FlashMemory.SCH)

Безпосереднім наслідком такого простого дизайну є компактніший масив пам'яті і щільніші структури. Показні схеми пам'яті звичайно використовуються в мікроконтролерах для зберігання програмного коду, що надає переваги енергозалежної пам'яті і можливість перепрограмування і оновлення коду багато разів.

Елемент Flash-пам'яті звичайно має Т-подібну форму завдяки збільшеному розміру витoku для оптимального тунельного ефекту. Горизонтальний *polysilicon2* – розрядна лінія, і вертикальний *metal2* – лінія слова, яка зв'язує всі стоки разом. Металева горизонталь зв'язує всі витoki разом. Це загальна практика, щоб порушити звичайні правила дизайну і досягти компактнішого розташування. На рис. 54 лінія *poly* зменшена від трьох лямбд до двох лямбд.

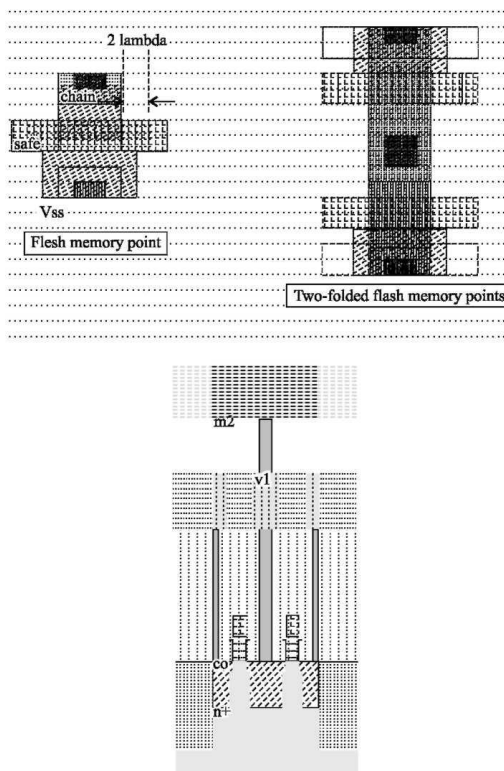


Рис. 54. Елемент Flash-пам'яті і його поперечні розрізи (Flash8x8.MSK)

3.6 Фероелектрична оперативна пам'ять

Фероелектрична оперативна пам'ять (FRAM) є найбільш передовою з усіх типів flash-пам'яті. FRAM подібна до DRAM за винятком того, що елемент пам'яті FRAM побудований на двостабільному фероелектричному ізоляторі, тоді як DRAM будується на конденсаторі з кремнієвого діоксиду. Мегабітні FRAM модулі вже доступні як закінчені вироби. Проте, вбудовані схеми FRAM пам'яті були зроблені сумісними починаючи з 90 нм КМОН технології. Програму Microwind3 потрібно спочатку налаштувати на 90 нм, щоб зробити доступними властивості FRAM, використовуючи команду **File > Select Foundry**. Один приклад розташування елемента FRAM показано на рис. 55.

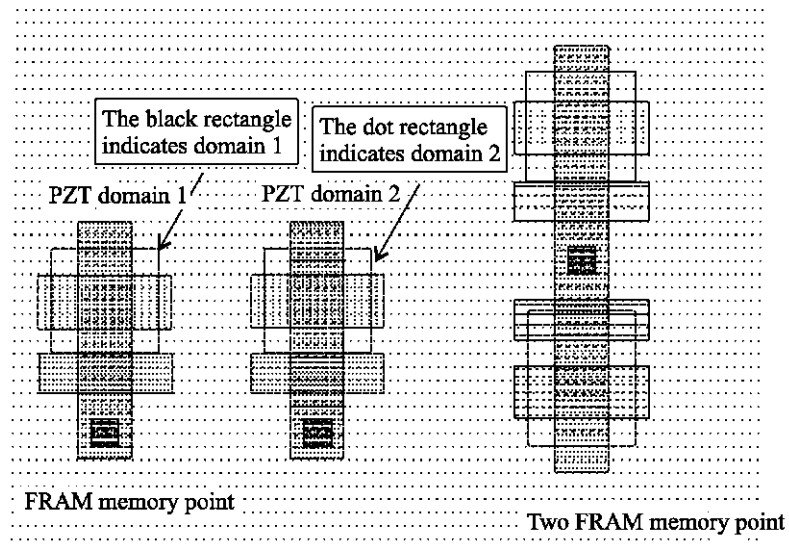


Рис. 55. Вид зверху двох FRAM комірок з двома різними областями.

Двовимірний поперечний розріз (рис. 55) показує фероелектричний кристалічний матеріал, зроблений з суміші свинцю, цирконію і титану (PZT). Хімічна формула PZT – екзотичне $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$. Зміною пропорції цирконію і титану змінюють електричні властивості матеріалу.

Молекулярна структура PbZrTiO_3 показана на рис. 56. Вона еквівалентна кубу, де в кожному з восьми кутів знаходиться атом свинцю (Pb). У центрі куба знаходиться атом титану, який належить до IVb групи, з спільними атомами кисню на його кінцях. Два стійкі стани молекули показані на рис. 56. Атом титану може рухатися всередині комірки при прикладанні електричного поля. Надзвичайно корисними властивостями цього матеріалу-ізолятора є: стабільний стан атома титану навіть без будь-якого електричного поля, низьке електричне поле, потрібне для переміщення атома, і дуже високе значення діелектричної проникливості (близько 100).

Поведінка конденсатора PZT звичайно представлена кривою гістерезису, як показано на рис. 57. По осі X відкладена величина прикладеного електричного поля. По осі Y відкладена орієнтація диполя кожної молекули. Можна побачити, що якщо мінімальне поле прикладне до конденсатора, то поляризація змінюється. Потрібне електричне поле зворотної полярності, щоб змінити стан матеріалу.

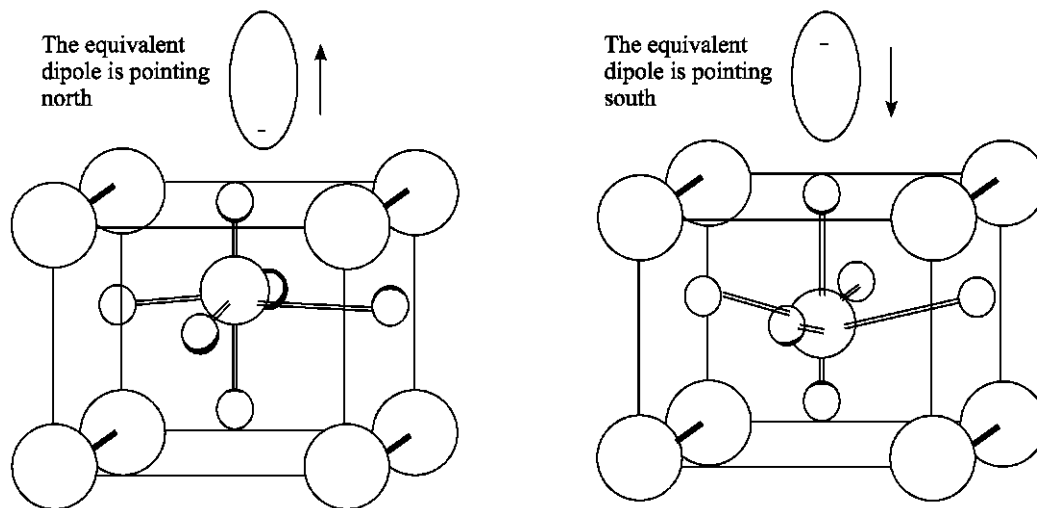


Рис. 56. Структура двох доменів з різною орієнтацією диполя.

Таким чином, цикл запису логічної „1” складається із прикладання великого позитивного імпульсу, який орієнтує диполі вгору, а логічного „0” з прикладання негативного імпульсу, який орієнтує диполі вниз (рис. 58).

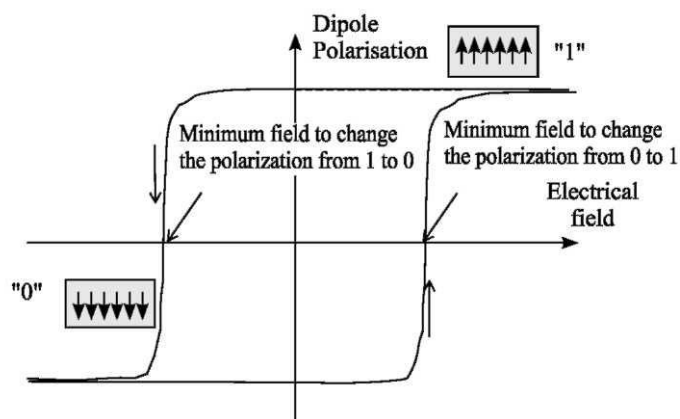


Рис. 57. Крива Гістерезису діелектрика PZT

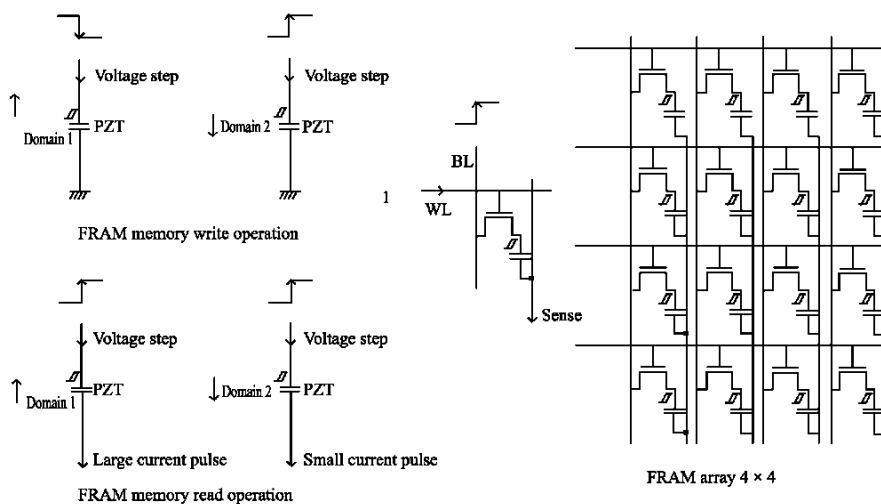


Рис. 58. Принцип роботи і архітектура FRAM (Fram4 x 4.SCH)

Щоб зчитати записану інформацію з даної області, до конденсатора з PZT прикладають імпульс напруги. Якщо електричне поле орієнтоване в протилежному напрямі до орієнтації елементарного диполя і є достатньою сильним, змінюється внутрішня орієнтація атомів. Це створює істотний струм, який підсилюється вважається логічним „1”. Якщо електричне поле орієнтоване в тому ж напрямі, що й елементарний диполь, спостерігається лише слабкий імпульс струму. Це розглядається як логічний „0”. Зчитування логічної інформації еквівалентне до спостереження за струмом і визначення чи пік струму малий („0”) чи великий („1”). Слід відмітити, що операція зчитування даних руйнує самі дані, що були аписані в матеріалі PZT. Для збереження даних відразу після того, як інформація була зчитана з комірки пам’яті, вона повинна бути записана назад до комірки.

3.7 Інтерфейс пам’яті

Всі входи і виходи RAM синхронізовані з фронтом тактового імпульсу, і більш ніж одне слово може читатися або бути написаним один за іншим. Типові хронограми синхронної RAM показані на рис. 59. Активним краєм тактових імпульсів зазвичай є фронт імпульсів. Один цикл читання триває три тактові імпульси в прикладі, показаному на рис. 59. Стадія вибору адреси рядка активна при фронті першого тактового імпульсу, після нього йде стадія вибору адреси стовпця. Зчитувані дані доступні в третьому тактовому імпульсі.

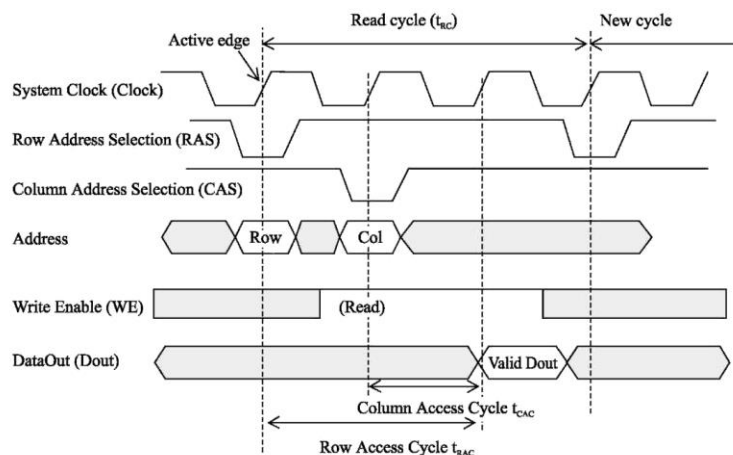


Рис. 59. Часова діаграма синхронної оперативної пам’яті.

Пам'ять з подвійною швидкістю передачі даних (DDR) працює як на фронті так і на спаді тактових імпульсів. Більш того, набір даних з сусідніх схем пам'яті може бути посланий через шину даних одночасно. Два набори суміжних даних посиляються, один на фронті тактового імпульсу, а інший на його спаді. Ця методика названа "burst-of-two".

РОЗДІЛ IV. Проектування топології і моделювання комірок оперативної статичної і динамічної пам'яті

4.1 Аналіз схеми статичної 6Т комірки і топології

Базова комірка статичної пам'яті утворена двома перехресно з'єднаними інверторами, які утворюють тригер, і має шість транзисторів, рис. 60.

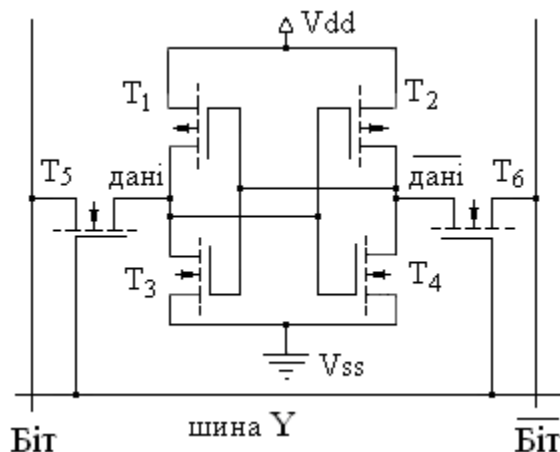


Рис. 60. Схема базової комірки пам'яті: T_1, T_2 – p -МОП транзистори, T_3, T_4 – n -МОП транзистори інверторів, T_5, T_6 – ключові транзистори адресних шин, V_{ss} – цифрова земля, V_{dd} – живлення

Ключові транзистори T_5, T_6 підключають тригер до адресних шин. Однорозрядна адресна шина слів Y вибирає рядки. Парафазна розрядна бітова шина вибирає стовпці і по ній записуються/читаються дані комірки пам'яті. Комірка пам'яті працює в трьох режимах: *зберігання*, *читання*, *запису*. В режимі *зберігання* на шині слова Y логічний "0", ключові транзистори закриті і тригер ізольований від розрядних шин. В режимі *читання* $W/R=0$ і на шині слів Y логічна "1", бітові шини сприймають потенціали плеч тригера і передають їх по бітовій шині через вихідні буфери на шину DI/DO . В режимі *запису* $W/R=1$, інформація у парафазній формі спочатку подається на бітові шини, а потім на шину слова Y подається логічна "1". Тригер сприймає інформацію з бітових шин і переключається у відповідний стабільний стан. Часові діаграми адресних і керуючих сигналів комірки пам'яті показані на рис. 61.

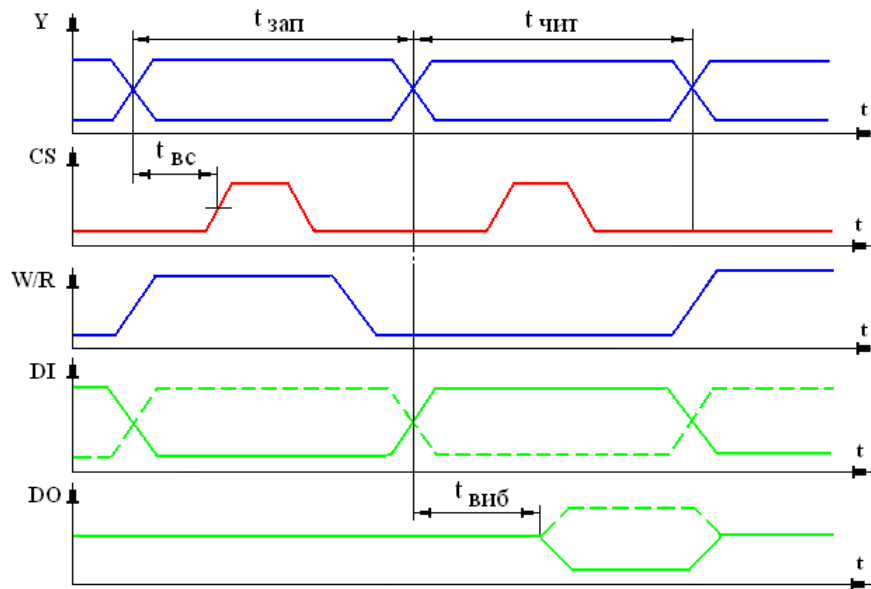


Рис. 61. Часові діаграми сигналів комірки пам'яті: $t_{\text{зап}}/t_{\text{чит}}$ – час запису/читання, $t_{\text{вс}}$ – час встановлення, $t_{\text{внб}}$ – час виборки адреса

При малій потужності комірок пам'яті потрібні додаткові формувачі сигналів. Схема комірки пам'яті з двокаскадним формувачем сигналів, для аналізу проходження інформаційних сигналів, показана на рис. 62.

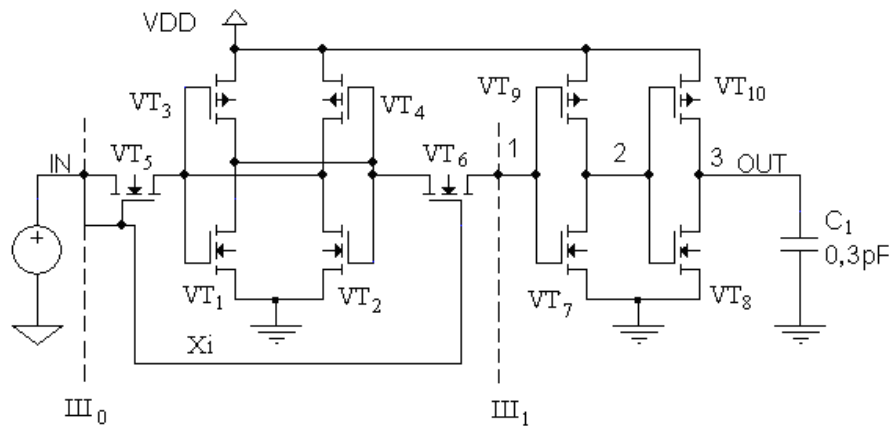


Рис. 62. Схема комірки пам'яті з формувачем сигналів: VT_1 - VT_6 транзистори RS -тригера; VT_1 , VT_2 – ключові n -МОП-транзистори; VT_3 , VT_4 – навантажувальні p -МОП-транзистори; VT_5 , VT_6 – n -МОП-транзистори запису/читання інформації; X_i – шина слів; Ш_0 , Ш_1 – парафазна розрядна бітова шина; VT_7 - VT_8 , VT_9 - VT_{10} n -МОП- і p -МОП-транзистори формувача

Для дослідження схеми на вхід IN подавалися імпульси з амплітудою логічної "1" і тривалістю 6 нс. Форми струму під час перехідного процесу,

вхідні та вихідні імпульси комірки пам'яті (точка 1 на рис. 62) і формувача (точки 2, 3 на рис. 62) показані на рис. 63.

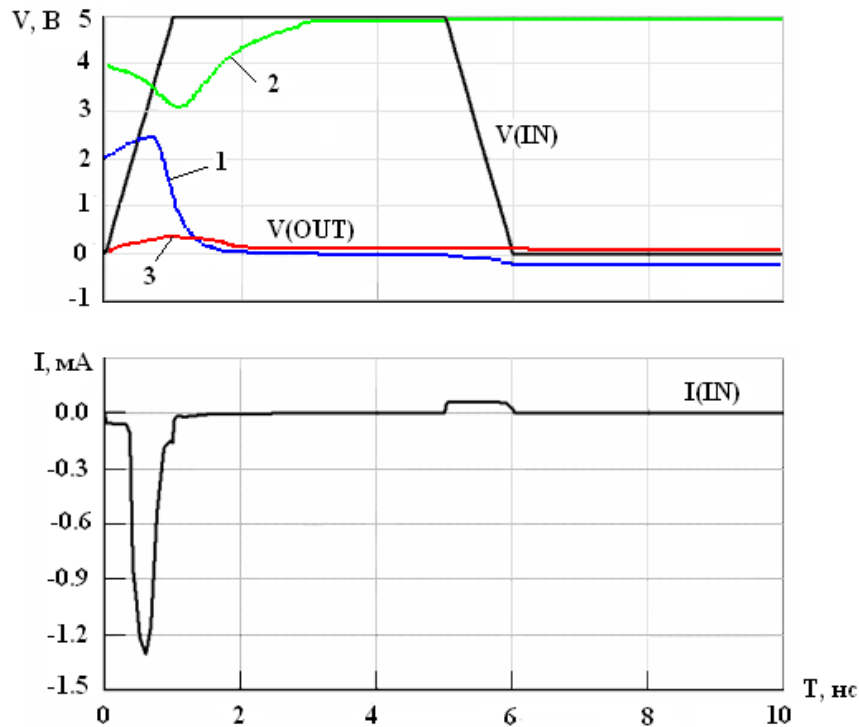


Рис. 63. Форми вхідних/вихідних імпульсів та струму: 1 – комірка пам'яті (точка 1); 2, 3 – формувач (точки 2, 3); $V(IN)$ – вхідний імпульс; $V(OUT)$ – вихідний імпульс; $I(IN)$ – струм перехідного процесу

Як видно з форми кривої 1, рис. 63, сигнал на виході комірки не сформований і не може передаватися у шину. Після послідовного проходження першого каскаду формувача сигнал інвертується, а його форма суттєво покращується, крива 2. Другий каскад формувача ще раз інвертує сигнал і повторює його рівень на виході з комірки пам'яті, крива 3. Розміри транзисторів формувача вибрані з умови забезпечення навантажувальної здатності.

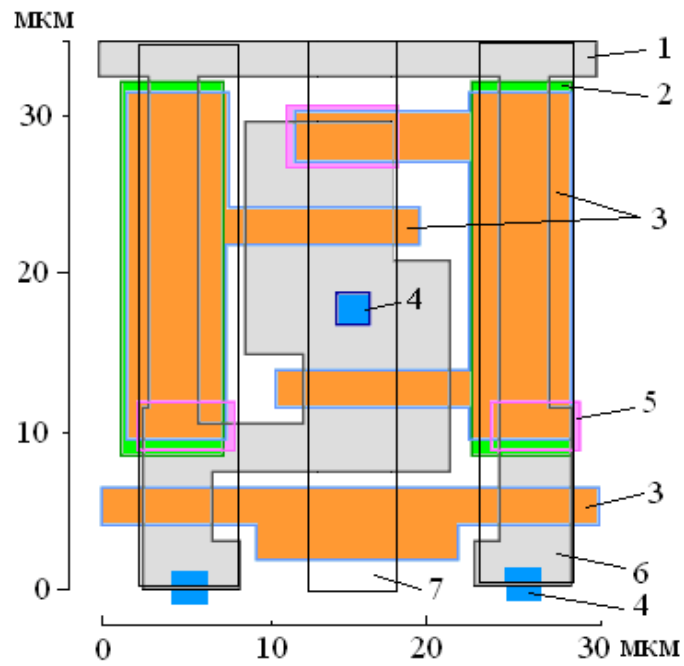
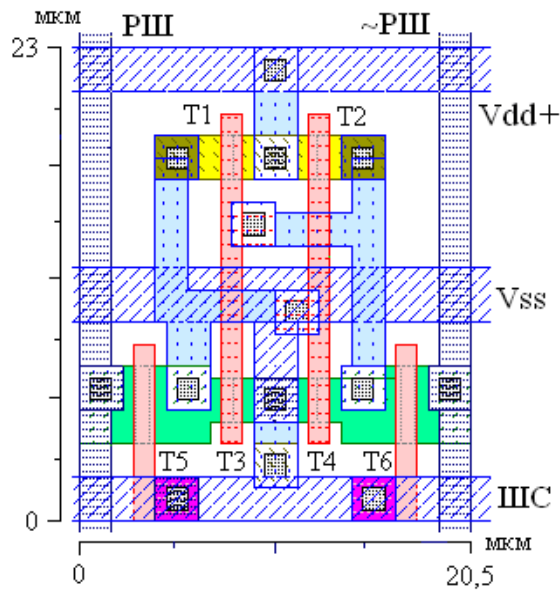


Рис. 64. Топологія комірки пам'яті із стандартної n -МОН-технології: 1 – область кремнію n^+ -типу, 2 – області легування каналів n -типу навантажувальних транзисторів, 3 – полікремнієві затвори керуючих транзисторів, 4 – контакти до областей стік-витік, 5 – заховані контакти полікремнію до дифузійних областей, 6 – шина запису/зчитування інформації, 7 – загальна шина



a)

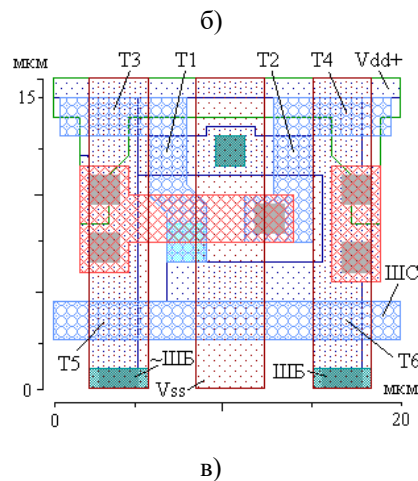
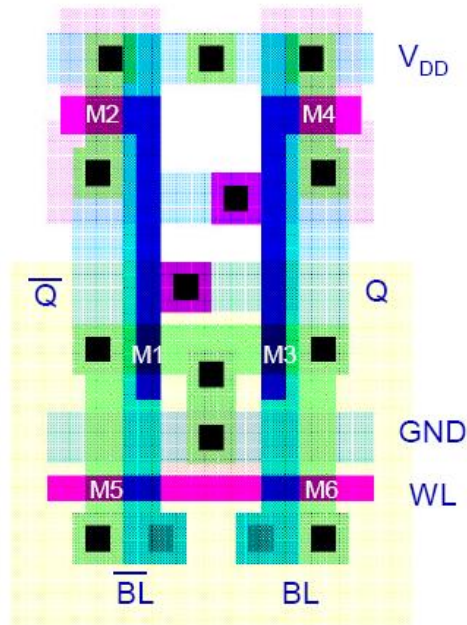


Рис. 65. Топології комірок пам'яті для КНІ КМОН-технології: а) планарна структура; б) інший тип топології комірки з планарними структурами в) тривимірна структура; T_1, T_2 – КНІ p -МОН, T_3, T_4 – КНІ n -МОН транзистори інверторів, T_5, T_6 – ключові транзистори адресних шин, РШ, \sim РШ – розрядні шини, ШС – шина слів, V_{ss} – цифрова земля, V_{dd} – живлення

Для надійного переключення тригерів значення W/L ключових транзисторів T_5, T_6 прийнято в 4 рази більшим від W/L тригерних транзисторів T_1-T_4 . Площа комірки пам'яті $471,5 \text{ мкм}^2$ для планарної КНІ КМОН-технології в 2,2 рази менша від площі комірки для стандартної n -канальної МОН-технології з однаковими конструктивно-технологічними обмеженнями. Площа оптимізованої комірки пам'яті 320 мкм^2 з тривимірною структурою для КНІ КМОН-технології, за рахунок використання тривимірних контактів і з врахуванням правил проектування, в 3,2 рази менша від площі комірки пам'яті для стандартної n -МОН-технології.

4.2 Структура і топологія одностранзисторної динамічної комірки пам'яті

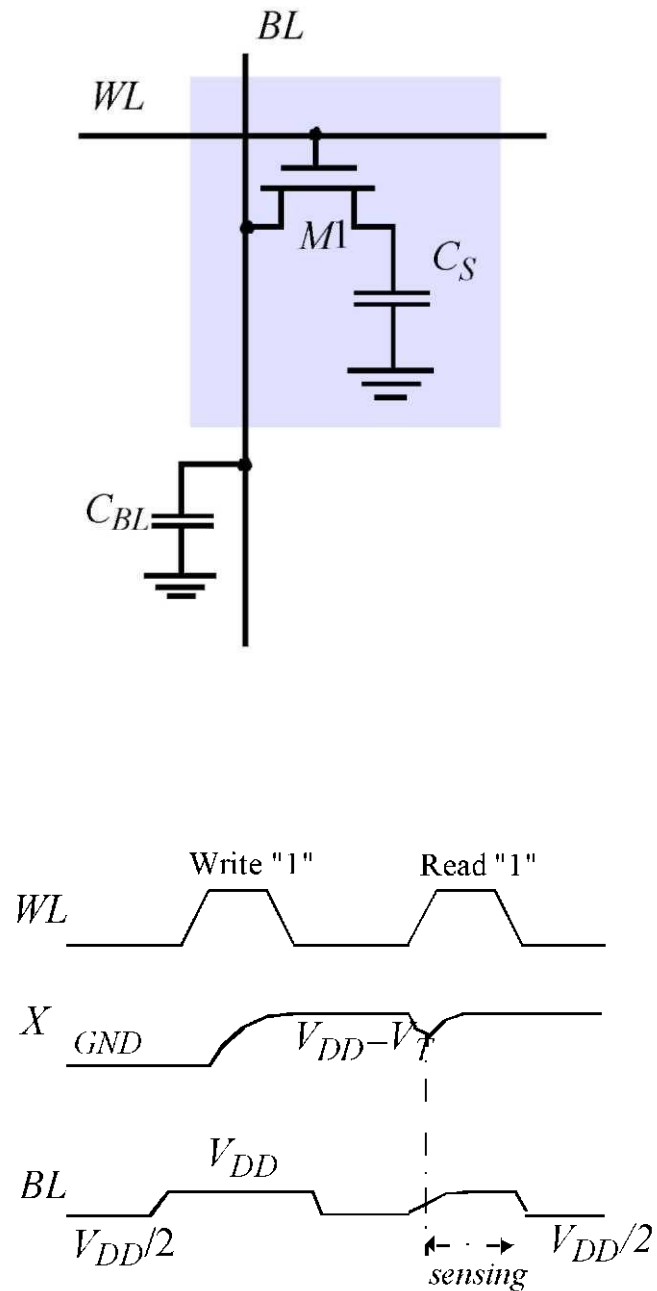


Рис. 66. Електрична схема і часові діаграми функціонування динамічної комірки пам'яті.

Відповідно зі схемою рис.66 було розроблено структуру і топологію динамічної комірки пам'яті, які зображені на рис. 67.

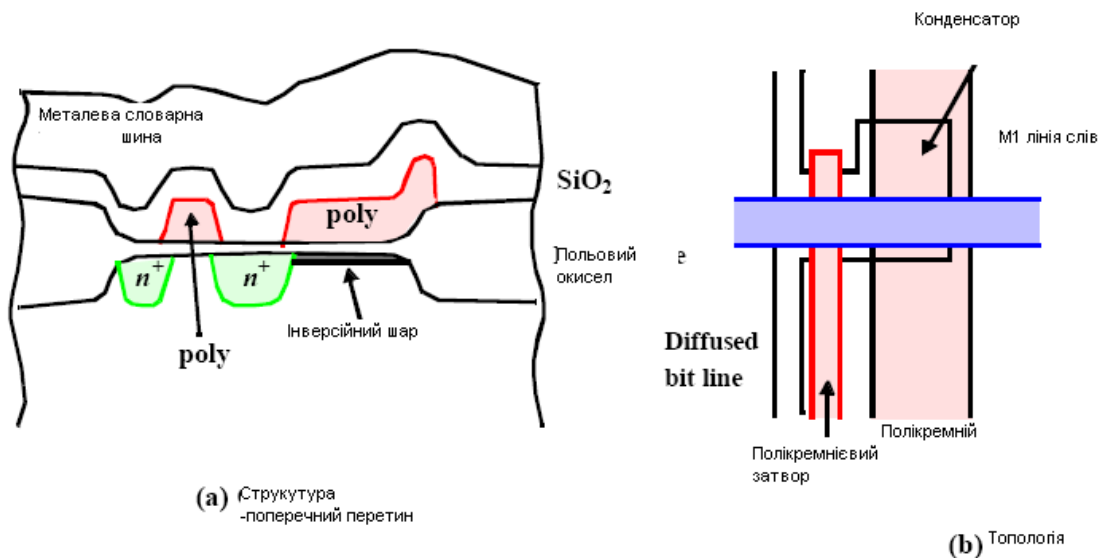


Рис.67. Поперечний перетин і топологія одностранзисторної комірки пам'яті відповідно до схеми рис.66.

На рис. 68. зображено фотографію топології реальної комірки динамічної пам'яті.

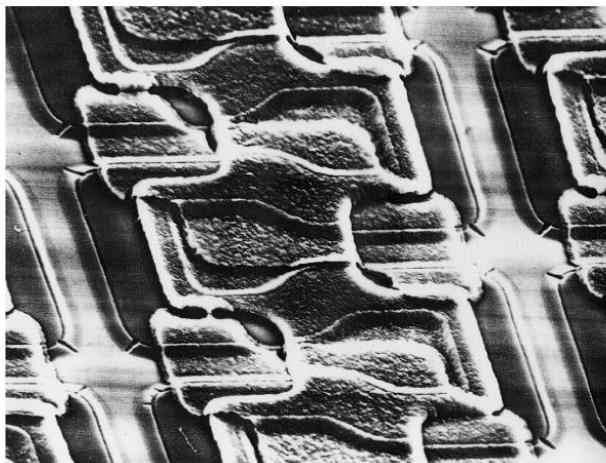
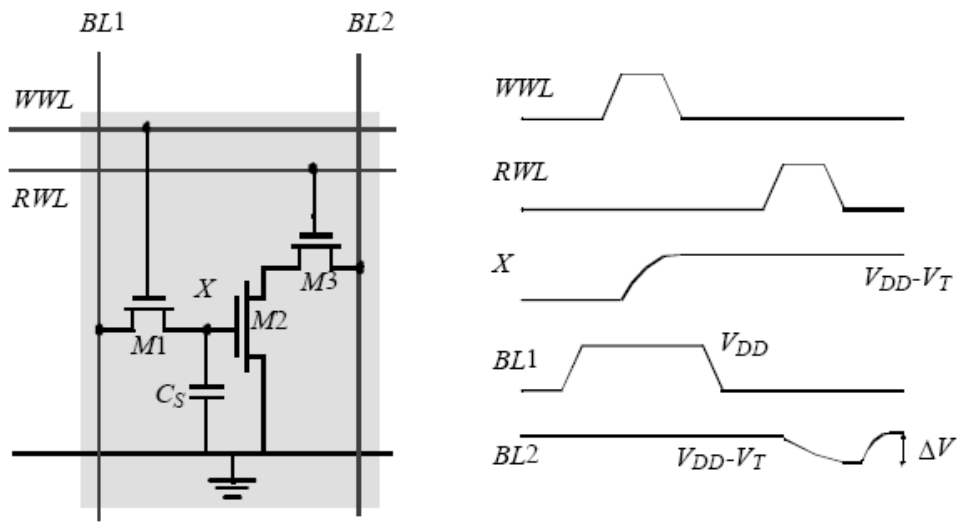


Рис.68. Мікрофотографія реальної динамічної комірки пам'яті.

4.3 3-х транзисторна динамічна комірка пам'яті.

На рис. 69 зображено електричну схему тритранзисторної динамічної комірки пам'яті з промодельованими часовими діаграмами її функціонування. Особливістю цієї комірки пам'яті є те, що інформація в ній не пропадає при її зчитування порівняно із одностранзисторною, в якій потрібна постійна регенерація інформації. Недоліком цієї схеми є більша кількість транзисторів.



No constraints on device ratios
Reads are non-destructive
Value stored at node X when writing a "1" = $V_{WWL} - V_{Tn}$

Рис.69. Електрична схема тритранзисторної динамічної комірки пам'яті з промодельованими часовими діаграмами.

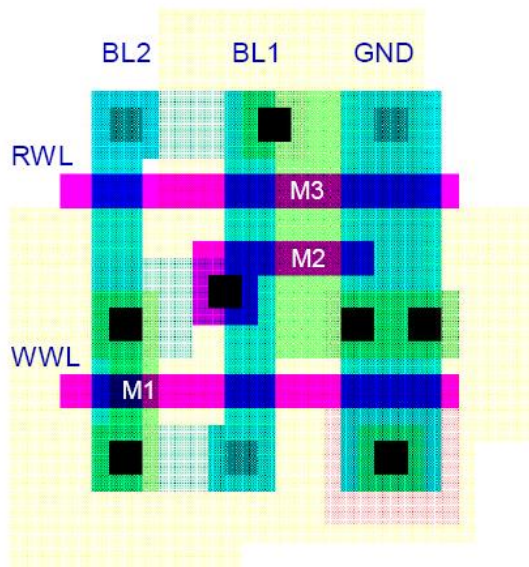


Рис.70. Топологія тритранзисторної динамічної комірки пам'яті.

Висновки

При виконанні даної магістерської роботи отримані наступні результати:

1. Проаналізовані сучасні нанометрові КМОН-технології виготовлення інтегральних схем з 90 нм проектними нормами. Розглянуті особливості р- і п-канальних МОН-транзисторів та проаналізовані шляхи створення високоефективних КМОН ІС.

2. Розглянуті КНІ-структури як альтернативу стандартним КМОН ІС на об'ємному кремнії, показано переваги і недоліки КНІ-пристроїв. Основним недоліком їх є «кінк-ефект», для усунення якого використовують спеціальні топологічні рішення шляхом підключення підканальної області до витoku транзистора або земляної шини для п-канальних КНІ МОН-транзисторів. Для р-канальних МОН-транзисторів вплив «кінк-ефекту» є несуттєвим і не вимагає спеціального управління для його усунення.

3. Вивчені особливості проектування частково- і повністю збіднених КНІ МОН-транзисторів.

4. Проаналізовано основні архітектури схем пам'яті і їх елементів як для статичної, так і динамічної та програмованої пам'яті.

5. Розроблені топології і проведено комп'ютерне моделювання з використанням розроблених схем для 6-ти транзисторної статичної комірки пам'яті. На основі цих результатів розроблена їх топологія зі структурами КНІ. Показано, що їх площа на кристалі є суттєво меншою порівняно із стандартними на монокремнії.

6. Проведено комп'ютерне моделювання режимів роботи одно- і тритранзисторних динамічних комірок пам'яті, отримані часові діаграми їх функціонування. На основі даних електричної схеми і структури пристроїв розроблені топології вказаних комірок.

7. Отримані результати можуть бути використані у навчальних цілях з курсів що включають проектування і моделювання елементів схем статичної і динамічної пам'яті.

Література

- [1] WinSpice3 User's Manual, October 2003, Mike Smith, *www.winspice.com*
- [2] A. Vladimirescu and S. Liu, "The Simulation of MOS Integrated Circuits Using SPICE2", ERL Memo No. ERL M80/7, Electronics Research Laboratory, University of California, Berkeley, October 1980.
- [3] [Liu] W. Liu, "Mosfet Models for SPICE simulation including Bsim3v3 and BSEVI4", Wiley & Sons, 2001, ISBN 0-471-39697-4
- [4] E. Sicard, S. Bendnia "Basic CMOS cell design", Tata McGraw-Hill, 2005 ISBN 0-07-059933-5
- [5] www.penzar.com (Top Spice simulation)
- [6] www.microwind.org (Lauout design and simulation)
- [7] A.A. Druzhinin, I.T. Kogut, V.I. Golota, S.I. Nichkalo, Y.M. Khoverko, T.G. Benko. Development of inverter circuits with dual control subchannel areas of integral CMOS sensor element // Physics and Chemistry of Solid State. 2021. V. 22, N. 4. P. 718-722.
- [8] Эннс В.И., Кобзев Ю.М. Проектирование аналоговых КМОП-микросхем. Краткий справочник разработчика / Под редакцией канд. техн. наук В. И. Эннс. – М.: Горячая линия-Телеком. – 2005. 454 с.
- [9] А.О.Дружинін, І.Т.Когут, Ю.М.Ховерко Структури кремній-на-ізоляторі для сенсорної електроніки. Монографія.. – Львів: Видавництво Львівської політехніки, 2013. – 224 с.
- [10] Галченков О.Н., Долголенко А.Н., Корнейчук В.И., .Компьютерная схемотехника и архитектура компьютеров.-Киев-Корнейчук-2013.-604с.