

Прикарпатський національний університет імені Василя Стефаника

Фізико-технічний факультет

Кафедра комп'ютерної інженерії та електроніки

Родзень Софія Миколаївна

Sofia Rodzen

УДК 004:42

Спеціальність 123 «Комп'ютерна інженерія»

Кваліфікаційна робота

на здобуття освітнього ступеня бакалавра

Генератор прямого цифрового синтезу частоти

Direct digital frequency synthesis generator

Науковий керівник:

доктор фізико-математичних наук,

професор кафедри

комп'ютерної інженерії та

електроніки Володимир Мандзюк

Рецензент:

доктор фізико-математичних наук,

професор кафедри

матеріалознавства і новітніх

технологій Богдан Рачій

Івано-Франківськ

2024

АНОТАЦІЯ

У наш час технології неупинно розвиваються, вдосконалюючи пристрої та системи, покликані полегшувати життя людей. Генерування сигналів є одним з ключових напрямків, де активно застосовуються передові технологічні рішення для різноманітних застосувань у телекомунікаціях, радіолокації та інших галузях електроніки.

Дана дипломна робота присвячена створенню генератора на базі прямого цифрового синтезу (DDS), який можна використовувати як для навчальних цілей, так і в прикладних сферах. DDS-генератори дозволяють формувати високоточні та стабільні коливання із заданими частотою та формою сигналу. Вони усувають потребу в традиційних аналогових схемах, забезпечуючи широкий діапазон частот, фазових зсувів та спектральних характеристик.

Проект охоплює аналіз базових понять синусоїдальних сигналів та принципів функціонування DDS, зокрема таких компонентів як накопичувач фази, перетворювачі фази в амплітуду та цифро-аналогові перетворювачі. У рамках дослідження розглянуто алгоритми налаштування частоти, фазової модуляції та синтезу форми хвилі. Також проведено порівняння DDS з іншими методами генерації частоти, такими як система фазового автоналаштування, що демонструє переваги DDS в точності, гнучкості, швидкодії та чистоті спектру.

Важливість даного проекту полягає у його потенційному внеску в розвиток ефективних методів генерування якісних та стабільних сигналів. Це сприятиме підвищенню продуктивності систем зв'язку, телекомунікацій та інших галузей, де застосовуються технології цифрового синтезу частот.

					123.КІ-41.14			
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				
Розробила		Родзень С.М.			Анотація	<i>Літ.</i>	<i>Арк.</i>	<i>Аркушіє</i>
Перевірив		Мандзюк В.І.					3	1
Н. Контр.								
Затвердив								

ABSTRACT

Today, technology is constantly evolving, improving devices and systems designed to make people's lives easier. Signal generation is one of the key areas where advanced technological solutions are actively used for various applications in the telecommunications, radar, and other electronics industries. This thesis is devoted to the creation of a generator based on direct digital synthesis (DDS), which can be used both for educational purposes and in applied areas. DDS oscillators allow you to generate highly accurate and stable oscillations with a given frequency and waveform. They eliminate the need for traditional analog circuits, providing a wide range of frequencies, phase shifts, and spectral characteristics.

The project covers the analysis of the basic concepts of sinusoidal signals and the principles of operation of DDS, in particular such components as phase accumulator, phase-to-amplitude converters and digital-to-analog converters. The algorithms of frequency adjustment, phase modulation and waveform synthesis were considered within the framework of the study. A comparison of DDS with other frequency generation methods, such as the phase autotuning system, is also conducted, demonstrating the advantages of DDS in accuracy, flexibility, speed, and spectrum purity.

The importance of this project lies in its potential contribution to the development of effective methods of generating high-quality and stable signals. This will help increase the productivity of communication systems, telecommunications and other industries where digital frequency synthesis technologies are used.

					123.KI-41.14					
					Abstract					
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				<i>Лім.</i>	<i>Арк.</i>	<i>Аркушіє</i>
Розробила		Родзень С.М.								
Перевірив		Мандзюк В.І.							4	1
Н. Контр.										
Затвердив										

ПЕРЕЛІК ОСНОВНИХ СКОРОЧЕНЬ

DDS - Direct digital synthesis (Прямий цифровий синтез)

PLL - Phase Locked Loop (Фазове автоналаштування частоти)

SPI - Serial Peripheral Interface (Послідовний периферійний інтерфейс)

ЦАП – Цифро-аналоговий перетворювач

ФНЧ - Фільтр низьких частот

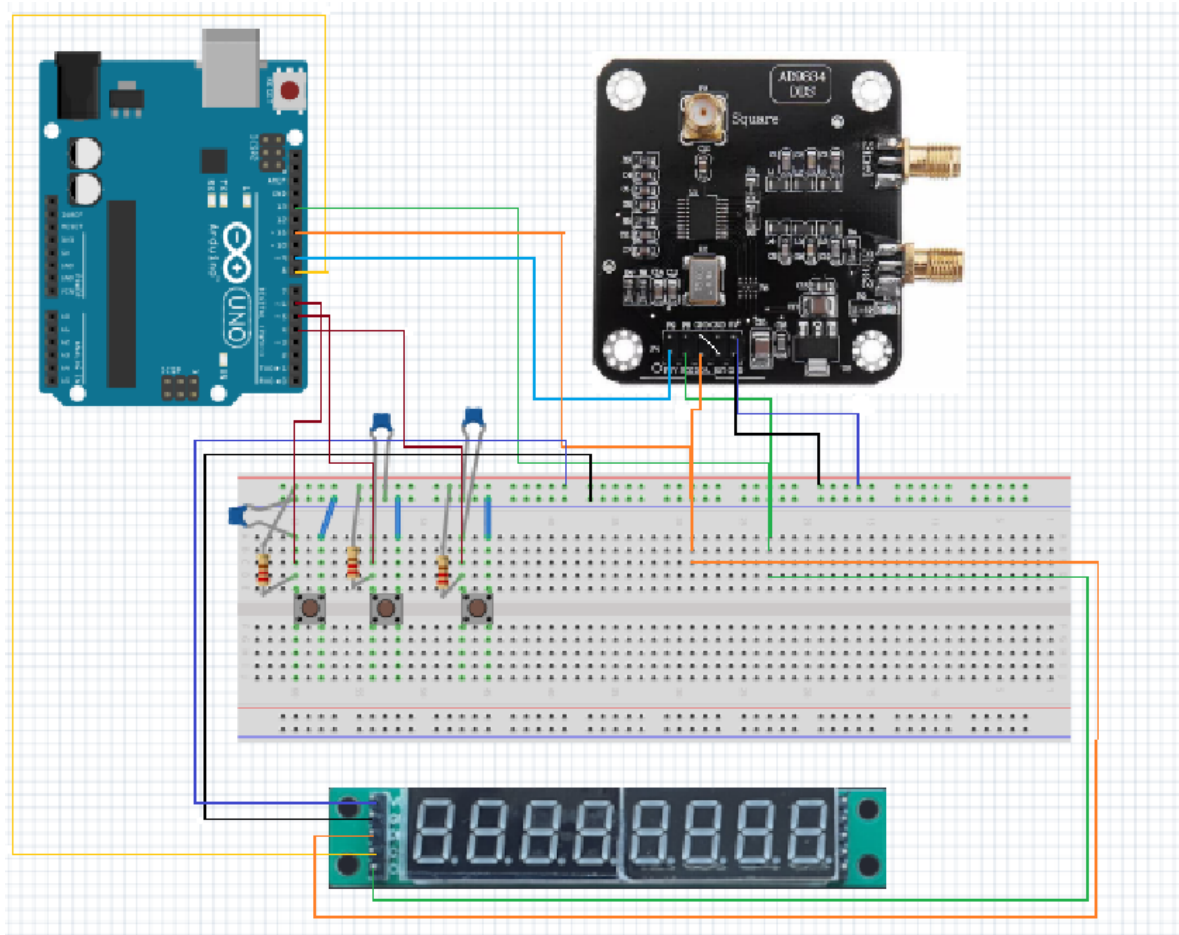
NCO - Numerically Controlled Oscillators (Генератор з числовим керуванням)

VCO - Voltage Controlled Oscillator (Генератор, керований напругою)

LUT - Look-Up Table (Таблиця пошуку синусів)

ROM - Read-Only Memory (Постійна пам'ять)

					123.КІ-41.14			
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				
Розробила		Родзень С.М.			Abstract	<i>Літ.</i>	<i>Арк.</i>	<i>Аркушіє</i>
Перевірив		Мандзюк В.І.					4	1
Н. Контр.								
Затвердив								



					123.КІ-41.14			
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				
Розробила		Родзень С.М.			Електрична схема системи	<i>Літ.</i>	<i>Арк.</i>	<i>Аркушіє</i>
Перевірив		Мандзюк В.І.					5	1
Н. Контр.								
Затвердив								

Пояснювальна записка
до кваліфікаційної роботи
на тему:
«Генератор прямого цифрового синтезу частоти»

					123.КІ-41.14			
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				
Розробила		Родзень С.М.			Пояснювальна записка	<i>Літ.</i>	<i>Арк.</i>	<i>Аркушів</i>
Перевірив		Мандзюк В.І.					7	67
Н. Контр.								
Затвердив								

ЗМІСТ

ВСТУП.....	4
1. ТЕОРЕТИЧНИЙ РОЗДІЛ.....	6
1.1 Основні поняття про сигнали синусоїдальної частоти.....	8
1.2. Принцип роботи прямого цифрового синтезу.....	10
1.2.1 Акумулятор фази.....	11
1.2.2 Базове рівняння налаштування.....	12
1.2.3 Таблиця пошуку (перетворювач фази в амплітуду).....	15
1.2.4 Цифро-аналоговий перетворювач (ЦАП).....	16
1.2.5 Фільтр низьких частот.....	17
1.3 Порівняння методів синтезу частоти: PLL проти DDS.....	18
1.3.1 Фазове налаштування частоти (PLL).....	18
1.3.2 Прямий цифровий синтез (DDS).....	22
1.3.3 Вибір між PLL і DDS.....	23
2. КОНСТРУКТОРСЬКИЙ РОЗДІЛ.....	25
2.1. Вибір мікроконтролера.....	25
2.2 Пристрій AD9834.....	33
2.3 Дисплей MAX7219.....	35
3. ПРОГРАМНИЙ РОЗДІЛ.....	37
3.1 Послідовний периферійний інтерфейс.....	37
3.2. Регістри AD9834.....	38
3.2.1. Регістр керування.....	39
3.2.2. Частотний регістр.....	40
3.3. Мікроконтролер.....	41
3.3.1. Регістри мікроконтролера SPI.....	41
3.4. Дисплей MAX7219.....	43
3.4.1. Ініціалізація.....	43
3.4.2. Розрядні регістри.....	45
3.5. Код програми.....	46
3.5.1. Функції зв'язку з DDS і дисплеєм.....	46

					<i>123.KI-41.14</i>	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		2

3.5.2. Ініціалізація.....	49
3.5.3. Кнопки.....	51
4. ЕКСПЕРИМЕНТАЛЬНИЙ РОЗДІЛ.....	53
4.1. Плата Arduino Uno.....	53
4.2. Плата модуля DDS.....	54
4.3. MAX7219.....	55
4.4. Додаткова схема.....	55
4.5. Схема системи.....	56
4.6. Результати аналізу.....	57
ВИСНОВКИ.....	61
СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ.....	62
ДОДАТОК А. Текст програми.....	64

ВСТУП

Цифрова обробка сигналів та передача даних є невід'ємною частиною сучасних телекомунікаційних систем, радіолокації, систем зв'язку, а також багатьох інших галузей електроніки та техніки. Одним із ключових компонентів таких систем є генератори стабільних та точних сигналів із заданою частотою, які використовуються для формування опорних коливань, модуляції та демодуляції сигналів, а також для синхронізації різних вузлів та пристроїв.

Попит на ефективні та точні методи обробки сигналів постійно зростає, тож розуміння та вдосконалення методів генерації таких сигналів та оптимізації функціональності генераторів для широкого спектру застосувань є досить обов'язковим та актуальним.

Традиційні методи генерації сигналів, такі як LC-контури та кварцові резонатори, хоча і забезпечують високу стабільність та точність, мають обмежену гнучкість у налаштуванні частоти та часто вимагають складних схем для отримання широкого діапазону вихідних частот. Крім того, такі генератори можуть бути чутливими до зовнішніх впливів, таких як температура, вібрації та електромагнітні перешкоди.

Генератори прямого синтезу частоти (Direct Digital Synthesis, DDS) є альтернативним підходом до генерації сигналів, який дозволяє створювати високоточні та стабільні коливання з програмованою частотою та формою сигналу. Принцип дії DDS-генераторів базується на цифровому синтезі сигналу з використанням операцій накопичення фази та відліків значень з пам'яті форми сигналу. Використовуючи методи цифрової обробки сигналів, DDS усуває потребу в традиційних аналогових схемах і дозволяє генерувати широкий діапазон частот, фазових зсувів і спектрів.

Метою цієї роботи є забезпечення повного розуміння принципів і застосування DDS. У роботі проводиться аналіз різних компонент, які складають систему DDS, такі як акумулятор фази, таблиці перекодування та цифро-аналогові перетворювачі. Крім того, розглядаються алгоритми, які використовуються для

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		4

налаштування частоти, фазової модуляції та синтезу форми сигналу в системах DDS.

У дипломній роботі буде проведено детальний аналіз принципів роботи генераторів прямого синтезу частоти, їх архітектур, методів реалізації та застосувань. Також буде розглянуто питання підвищення роздільної здатності та зменшення спотворень у DDS-генераторах, а також проаналізовано вплив різних факторів на якість вихідного сигналу.

Крім того, буде досліджено переваги та проблеми, пов'язані з DDS. Порівнюючи DDS зі звичайними методами синтезу частот, такими як підхід фазового автоналаштування частоти (ФАНЧ), буде проаналізовано переваги з точки зору точності, гнучкості, швидкості та спектральної чистоти.

Щоб продемонструвати практичне застосування DDS, буде розроблено та протестовано реалізацію прототипу генератора прямого синтезу частоти. Ця реалізація продемонструє потенціал DDS у різних сферах, таких як телекомунікації, радіолокаційні системи, генерація аудіосигналу та синтез сигналу для наукових експериментів.

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		5

1. ТЕОРЕТИЧНИЙ РОЗДІЛ

Синтезатор частоти – це електронна схема, яка генерує діапазон частот з однієї або кількох опорних частот. Синтезатори частоти використовуються в багатьох сучасних пристроях, таких як радіоприймачі, телевізори, мобільні телефони, радіотелефони, рації, радіостанції СВ, конвертери кабельного телебачення, супутникові приймачі та системи GPS. Синтезатор частот може використовувати методи множення частоти, поділу частоти, прямого цифрового синтезу, змішування частот і петлі фазового автоналаштування частоти для генерації своїх частот. Стабільність і точність вихідного сигналу синтезатора частоти пов'язані зі стабільністю і точністю його вхідної опорної частоти. Отже, синтезатори використовують стабільні та точні опорні частоти, такі як ті, що забезпечуються кристалічним генератором [1].

Опорні частоти є стабільними та спектрально чистими частотами, які зазвичай генеруються п'єзоелектричним кристалом. Сучасні синтезатори частоти повинні забезпечувати багато дискретних вихідних частот, тому непрактично генерувати частоти, маючи опорну частоту для кожної бажаної вихідної частоти. Керуючий вхід визначає значення вихідної частоти синтезатора частоти f_0 (рис. 1.1).



Рис. 1.1 Структурна схема синтезаторів частоти

Основними характеристиками синтезатора частоти є:

- чистота спектру вихідного сигналу (рівень побічних компонентів і рівень шуму)(рис 1.2);

					123.KI-41.14	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		6

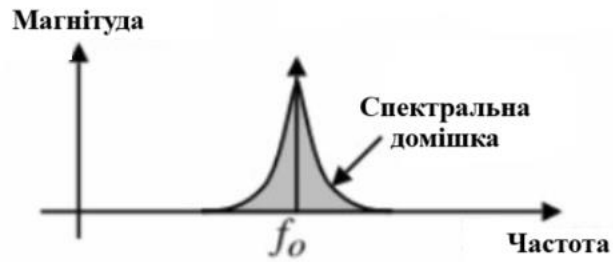


Рис. 1.2 Спектральна густина

- діапазон вихідних частот $-f_{min} \leq f_0 \leq f_{max}$;
- нерозривність фази вихідного сигналу під час переналаштування;
- кількість частот, що генеруються;
- точність частоти - $f_0 \pm \Delta f$ (зазвичай у %);
- час перемикання частоти (рис. 1.3);

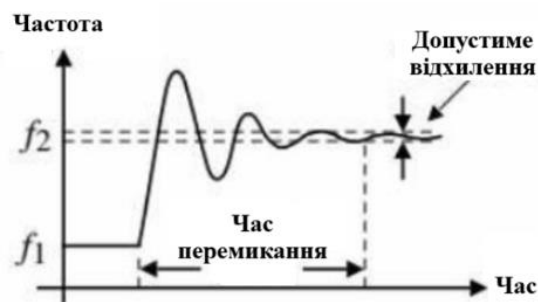


Рис. 1.3 Час перемикання частоти

- гнучкість (спроможність виконувати різні види модуляції).

Найпоширенішими методами синтезу частот є наступні:

– прямий аналоговий синтез, або DAS, заснований на схемі змішувач-фільтр-дільник. У цьому методі вихідна частота отримується безпосередньо з опорної частоти за допомогою операцій змішування, фільтрації, множення та розподілу;

– непрямий синтез, заснований на фазовому автоматичному налаштуванні частоти (Phase Locked Loop, PLL), при якому вихідна частота створюється за допомогою додаткового генератора, охопленого петлею ФАНЧ (найчастіше це генератор, керований напругою (VCO));

– прямий цифровий синтез (DDS), який використовує цифрові методи для синтезу вихідного сигналу;

- гібридний синтез, який поєднує попередні методи [1].

У кожного з цих методів синтезу частоти є переваги та недоліки, тому вибір повинен базуватися на найкращій комбінації для кожного конкретного випадку

1.1 Основні поняття про сигнали синусоїдальної частоти

Перш ніж говорити про теорію функціонування DDS, варто розглянути основні поняття синусоїдальних сигналів, оскільки саме ці сигнали є найбільш поширеними та корисними для багатьох застосувань в радіочастотних системах, зв'язку та обробці сигналів.

Синусоїдальні сигнали – це періодичні хвилі, які демонструють плавні, повторювані коливання між позитивними та негативними значеннями протягом часу. Ці сигнали є фундаментальними в різних дисциплінах, включаючи електротехніку, комунікації та обробку сигналів. Розуміння основних понять сигналів синусоїдальної частоти має вирішальне значення для ефективного аналізу та маніпулювання ними.

Синусоїдальний сигнал може бути математично представлений рівнянням:

$$x(t) = A \sin(\omega t + \varphi), \quad (1.1)$$

де A – амплітуда, ω – кутова частота (в радіанах за секунду), t – час, φ – фазовий зсув (у радіанах).

Амплітуда A представляє максимальне зміщення форми сигналу від його положення спокою або середнього значення. Це міра сили або інтенсивності сигналу, яка зазвичай виражається в тих самих одиницях, що й сам сигнал (наприклад, вольти для електричних сигналів).

Кутова частота ω визначається як:

$$\omega = 2\pi f, \quad (1.2)$$

де f – частота в герцах (Гц).

Частота – це кількість повних циклів або коливань, які зазнає сигнал за одну секунду. Це основний параметр у синусоїдальних сигналах і обернено пропорційний періоду T , який є часом, необхідним для одного повного циклу ($T = 1/f$).

					<i>123.KI-41.14</i>	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		8

Фазовий зсув φ представляє початкове зміщення форми сигналу від контрольної точки, зазвичай виражене в радіанах або градусах. Нульовий зсув фази відповідає сигналу, який починається з максимального додатного значення, а фазовий зсув $\pi/2$ (або 90 градусів) означає, що сигнал починається з точки перетину нуля [2].

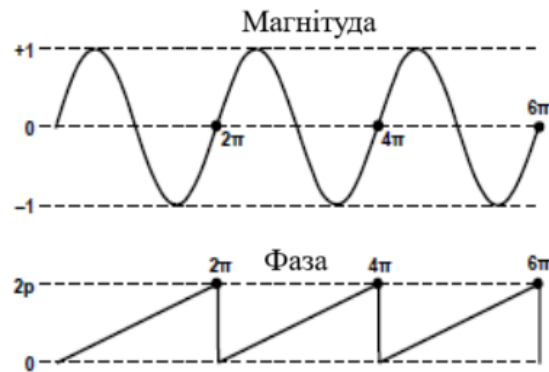


Рис.1.4 Графіки магнітуди та фази сигналу

Синусоїдальні сигнали можна аналізувати та представляти як у часовій, так і в частотній областях. У часовій області сигнал виражається як функція часу $x(t)$, тоді як у частотній області сигнал представляється як функція частоти за допомогою таких методів, як перетворення Фур'є.

Складні синусоїдальні сигнали можна побудувати шляхом накладання кількох синусоїдальних компонентів з різними частотами, амплітудами та фазовими зсувами. Ці компоненти називаються гармоніками, і вони є цілими числами, кратними основній частоті. Наявність і відносні амплітуди гармонік впливають на форму та характеристики результуючої форми сигналу.

Синусоїдальні сигнали відіграють вирішальну роль у різних програмах, наприклад, у системах зв'язку, де вони служать носіями для передачі інформації за допомогою методів модуляції, таких як амплітудна модуляція (АМ), частотна модуляція (FM) і фазова модуляція (PM). Вони також важливі в обробці сигналів, системах керування та енергосистемах, де синусоїдальні сигнали генеруються, аналізуються та маніпулюються для досягнення бажаних результатів.

1.2. Принцип роботи прямого цифрового синтезу.

Прямий цифровий синтез (DDS) – це техніка, яка використовується для генерації аналогового сигналу (наприклад, синусоїда або трикутник) за допомогою цифрових методів. Аналогові сигнали синтезуються зі значень, що зберігаються в пам'яті. «Шаблон», що містить значення амплітуди сигналу для всіх фаз сигналу, зберігається в пам'яті та використовується для відтворення сигналу. За допомогою DDS сигнали можна синтезувати безпосередньо з шаблону, не вимагаючи інших непрямих методів фазового налаштування частоти. Різні частоти утворюються шляхом зміни швидкості обробки значень фази та використання методів додавання, множення та масштабування сигналів, що дозволяє генерувати різні форми хвиль. Синтезовані сигнали є повторюваними, а частоти – точними. Методи зв'язку, такі як стрибкоподібне перемикавання частоти з розширеним спектром, використовують DDS для швидкої зміни частот. Він також використовується для генераторів сигналів і забезпечує частотну розгортку [3].

Прямий цифровий синтез (DDS) – це електронний метод цифрового формування довільних форм сигналів і частот з однієї фіксованої частоти джерела. Основними компонентами DDS є акумулятор фази, перетворювач фази в амплітуду (таблиця перегляду синуса), цифро-аналоговий перетворювач (ЦАП) і фільтр (рис.1.5). DDS створює синусоїду на заданій частоті (рис.1.6). Частота залежить від трьох змінних; опорна тактова частота f_{clk} і двійкове число, запрограмоване у фазовий регістр (слово керування частотою, M), довжина n -розрядного акумулятора. Двійкове число в регістрі фази забезпечує основний вхід для накопичувача фази [4].

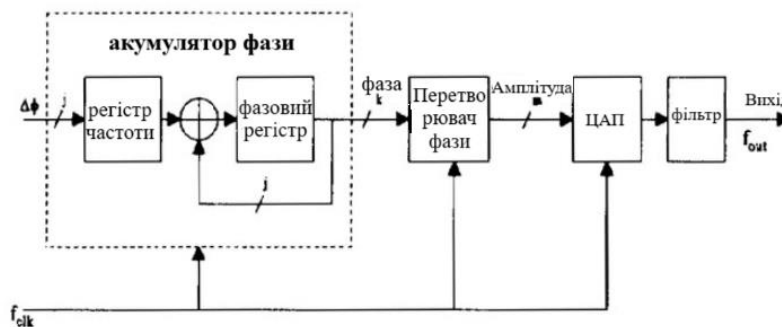


Рис. 1.5 Графічне зображення прямого цифрового синтезатора частоти

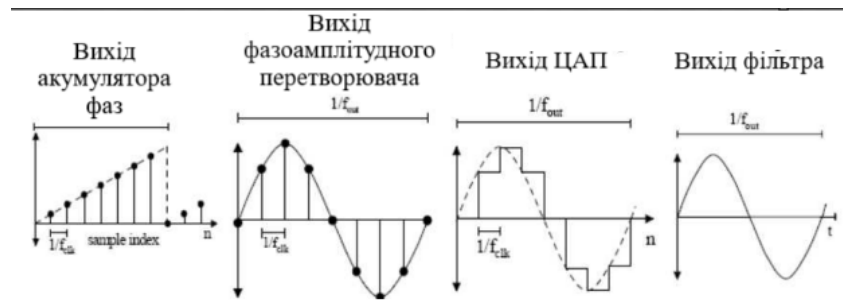


Рис. 1.6 Функціональний блок DDS і потік сигналу

Повна система DDS включає два основні блоки: генератор з числовим керуванням (NCO) і ЦАП (рис.1.7). NCO складається з акумулятора фази (серця системи) і таблиці пошуку синуса.

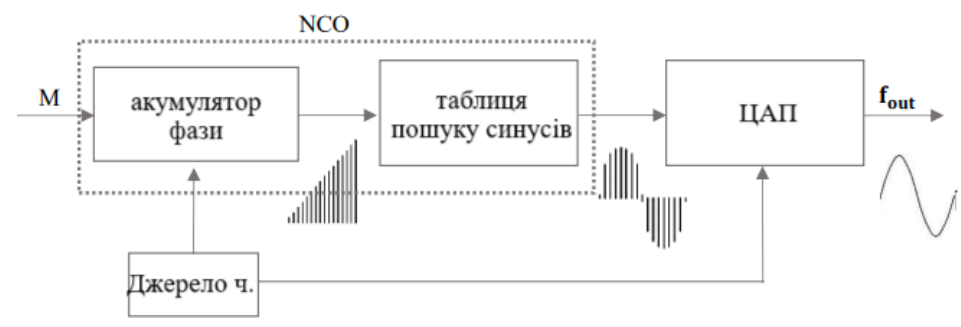


Рис. 1.7 Потік сигналу через DDS

Вхідним сигналом накопичувача фази є слово налаштування, двійкове число від 24 до 48 біт, яке визначає бажану вихідну частоту. За допомогою цього цифрового слова акумулятор фази обчислює значення фази. Пошукова таблиця синусоїди містить усі цифрові значення амплітуди, що відповідають повному циклу синусоїди. Вихід накопичувача фази служить адресою для таблиці пошуку синуса, яка діє як перетворювач фази в амплітуду. Під час генерування постійної частоти дані в накопичувачі фази лінійно збільшуються, тому він генерує зміну частоти. Нарешті, ЦАП перетворює цифрову амплітуду у відповідне значення аналогової напруги або струму [5].

1.2.1 Акумулятор фази

Найважливішою частиною DDS-генератора є «фазовий накопичувач» (ФН).

Щоб генерувати синусоїду з фіксованою частотою, постійне значення (крок фази, який визначається двійковим числом M) додається до акумулятора фази з кожним тактом: коли крок фази є великим, накопичувач фази буде швидко

проходити через таблицю перегляду синусів і таким чином генерувати високочастотну синусоїду. Якщо приріст фази невеликий, акумулятор фази виконуватиме набагато більше кроків, відповідно генеруючи повільніший цикл блокування форми сигналу. Слово налаштування фіксує розмір кроку приріст лічильника. Це визначить частоту вихідного сигналу.

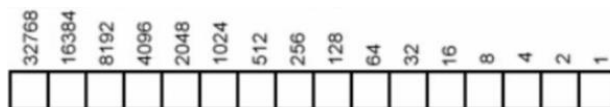


Рис. 1.8 Акумулятор фази, 16-розрядний двійковий лічильник

Вміст акумулятора фази оновлюється один раз за кожен такт. Щоразу, коли ФН оновлюється, цифрове число або M , що зберігається в регістрі фази, додається до числа в регістрі накопичувача фази. Акумулятор фази є лічильником за модулем n , який має 2^n цифрових станів, які збільшуються для кожного вхідного імпульсу тактової частоти системи (рис.1.8). Наприклад, акумулятор фази, який має ширину 32 біта, потребує більше ніж 4 мільярди тактових циклів (2^n , де $n = 32$), щоб повернутися до початкового значення 00...00 і почати цикл знову.

Накопичувач фаз зазвичай має від 24 до 48 біт; при 32 бітах є 2^{32} стани. Це число представляє кількість значень фази від 0 до 2π радіан, або досяжний приріст фази. Якщо використовується більший акумулятор фази, приріст фази стає ще меншим. Значення приросту фази вводиться в регістр частоти [5].

Роботу накопичувача фази можна розглядати, дивлячись на просування фази по колу(рис.1.9). Оскільки фаза просувається по колу, це відповідає прогресу у формі сигналу, тобто чим більше число відповідає фазі, тим більша точка вздовж сигналу. Послідовно змінюючи число, що відповідає фазі, можна рухатися далі вздовж циклу форми сигналу [6].

1.2.2 Базове рівняння налаштування

Останній компонент накопичувача фази, фазовий регістр, приймає нове цифрове слово і використовує його для визначення адреси пам'яті наступної точки вибірки, яка буде виведена в таблицю пошуку. Фазовий регістр приймає решту

старших бітів, які не використовуються в адресі пам'яті таблиці пошуку, і повертає їх до суматора, щоб забезпечити точність частоти з часом.

Основне рівняння налаштування пов'язує вихідну частоту як функцію слова налаштування, тактової частоти та кількості бітів акумулятора фази. Протягом інтервалу часу Δt можна розрахувати обертання фази [5].

$$\Delta Phase = \omega \Delta t. \quad (1.3)$$

Замінімо ω на власну частоту, а період часу на тактову частоту ($\Delta t = 1/f_{clk}$):

$$f = \Delta Phase * \frac{f_{clk}}{2\pi}. \quad (1.4)$$

Синусоїда має діапазон фаз від 0 до 2π , що представляє повний цикл сигналу. Цифрова реалізація базується на лінійності фази. Акумулятор масштабує діапазон чисел фази до двійкового числа 2^n . Враховуючи, що $0 < \Delta Phase < 2\pi$, це співвідношення виводиться: $0 < \Delta Phase < 2^n - 1$. Застосовуючи рівність $2\pi = 2^n$:

$$f = \Delta Phase * \frac{f_{clk}}{2^n}. \quad (1.6)$$

Вводячи слово налаштування M як $\Delta Phase$, отримуємо базове рівняння налаштування для технології DDS [7]:

$$f = \frac{M * f_{clk}}{2^n}. \quad (1.7)$$

Як приклад для розуміння принципу роботи фазового регістра в накопичувачі фаз наведено зразок чотирьохбітового JK-тригера лічильника зворотного лічби (рис. 1.11).

Це тригер негативного фронту, тобто всі зміни відбуваються на спадному фронті (тактовий сигнал від високого до низького)(рис.1.12).

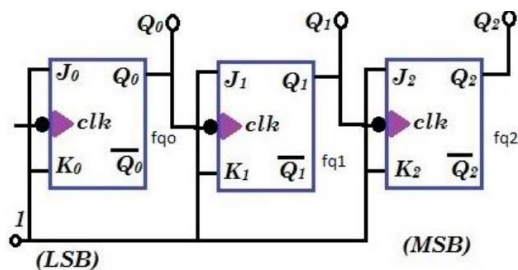


Рис. 1.9 Чотирьохбітовий JK-тригер

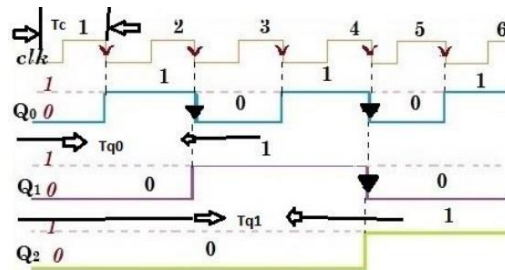


Рис. 1.10 Часова діаграма JK-тригера

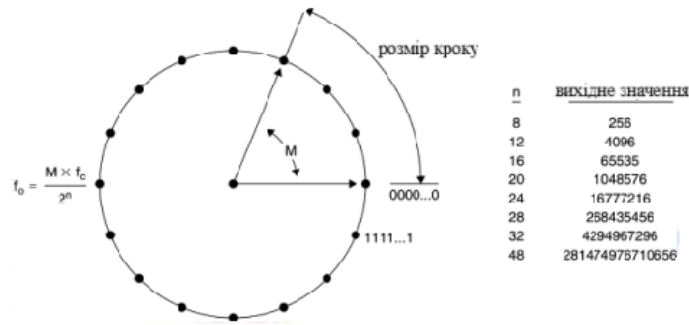


Рис.1.11 Фазове коло

Крапки на кружечку позначають усі фазові стани акумулятора. У цьому випадку для простоти акумулятор має 16 станів. Якщо слово налаштування дорівнює одиниці (рис. 1.10 а), то приріст кроку для кожного такту дорівнює одиниці, і всі стани вибираються протягом повного періоду.

На рис. 1.10 б значення слова налаштування встановлено на два. За допомогою цього налаштування вибирається будь-який інший стан на фазовому колесі. Аналоговий вихід тепер складається з двох циклів, кожен з яких має вісім амплітуд, що дає загалом шістнадцять станів. Якщо слово налаштування встановлено на два, вихідна частота тепер вдвічі перевищує раніше отримане значення [8].

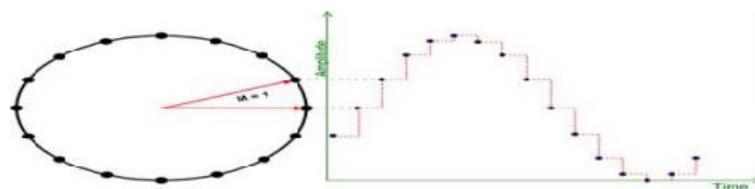


Рис.1.12а Фазове коло – $M = 1$

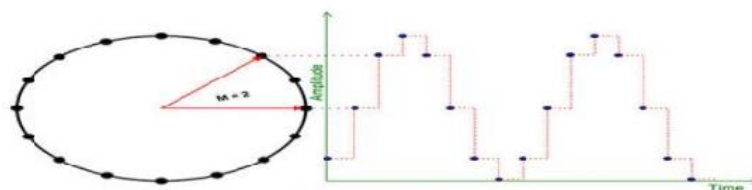


Рис. 1.12б Фазове коло – $M = 2$

Вихід накопичувача фази, який є миттєвою фазою вихідного сигналу, використовується для керування перетворювачем фази в амплітуду. Перетворювач фази в амплітуду видає цифрове слово, значення якого є амплітудою синусоїдального сигналу для вхідної фази.

Слід зауважити, що кількість бітів, які використовуються для керування перетворювачем фази в амплітуду, менша, ніж кількість бітів, що використовується для акумулятора фази. Це називається зрізанням фази і використовується для зменшення площі матриці та споживання енергії цифровими каскадами після накопичувача фаз. Хоча це викликає деякі хибні спектральні компоненти, які називаються скороченнями, їх мінімізують шляхом ретельного проектування.

Вихідна частота DDS встановлюється значенням слова налаштування та збільшується пропорційно значенню слова налаштування. Частота дискретизації залишається фіксованою на тактовій частоті системи, а час між вихідними вибірками є постійним. Вихідна частота залежить від приросту налаштовуваного слова, тому, коли значення налаштовуваного слова збільшується, у кожному вихідному циклі стає менше кроків, що збільшує частоту. Слово налаштування можна збільшувати, доки не буде лише двох семплів на цикл [2].

1.2.3 Таблиця пошуку (перетворювач фази в амплітуду)

Вихід накопичувача фази – це зміна, яка представляє значення фази циклу синусоїди. Для генерації цифрового сигналу необхідно виконати перетворення фази в амплітуду. Операцію виконує таблиця пошуку синусів (LUT), або іншими словами перетворювача фази в амплітуду. Цифровий вихід накопичувача фази служить адресою до таблиці пошуку синуса, яка виведе еквівалентне значення амплітуди. Кожна адреса в LUT відповідає точці фази на синусоїді від 0° до 360° . LUT містить відповідну цифрову інформацію про амплітуду для одного повного циклу синусоїди.

Таким чином, LUT відображає інформацію про фазу з акумулятора фази в цифрове слово амплітуди, яке, у свою чергу, керує ЦАП. Для n -розрядного накопичувача фази (n зазвичай коливається від 24 до 32 у більшості систем DDS) існує 2^n можливих фазових точок.

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		15

У практичній системі DDS усі біти накопичувача фази не передаються до LUT, а скорочуються, залишаючи лише перші 13-15 старших розрядів. Це зменшує розмір LUT і не впливає на частотну роздільну здатність. Відсікання фази лише додає невелику, але прийнятну кількість фазового шуму до кінцевого результату. Після визначення фази її необхідно перетворити в цифрове представлення форми сигналу. Це досягається за допомогою перетворювача фази в сигнал. Це пам'ять, у якій зберігається число, що відповідає напрузі, необхідній для кожного значення фази на сигналі. Пам'ять є або постійною пам'яттю (ROM), або програмованою постійною пам'яттю (PROM). Він містить величезну кількість точок на хвилі. Необхідна дуже велика кількість точок, щоб акумулятор фази міг збільшити на певну кількість точок для встановлення необхідної частоти. Вихідний сигнал DDS зазвичай передається в ЦАП, а потім фільтрується для будь-яких небажаних сигналів. Фазове квантування може бути досягнуто в DDS за допомогою скорочення накопичувача фазової інформації. Фазове квантування виконується для підтримки низьких вимог до пам'яті перетворювача фази в сигнал. Але він створює небажані помилкові спектральні компоненти у вихідних сигналах DDS, відомі як шпори. Також іноді зображення сигналів генеруються по обидва боки від тактової частоти та її кратних. Їх можна видалити фільтрацією низьких частот [9].

1.2.4 Цифро-аналоговий перетворювач (ЦАП)

Останнім етапом генерації сигналу є перетворення цифрового виходу синусоїдальної таблиці пошуку в аналоговий сигнал. Це робить цифро-аналоговий перетворювач (рис.1.13). Однією з важливих характеристик ЦАП є його роздільна здатність. Її можна визначити кількістю бітів або розміром кроку [10].

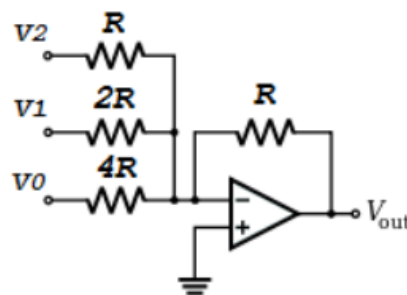


Рис. 1.13-розрядний цифро-аналоговий перетворювач

Вихідну напругу задають наступним рівнянням:

$$V_{out} = -\frac{1}{4}(4V_2 + 2V_1 + V_0), \quad (1.8)$$

де V_2 – це MSB (старший біт), а V_0 – LSB (молодший значущий біт).

Наведений вище зразок задає вхідну напругу 1 В.

Реконструкція синусоїди, виконана перетворювачем, показана на рис. 1.14.

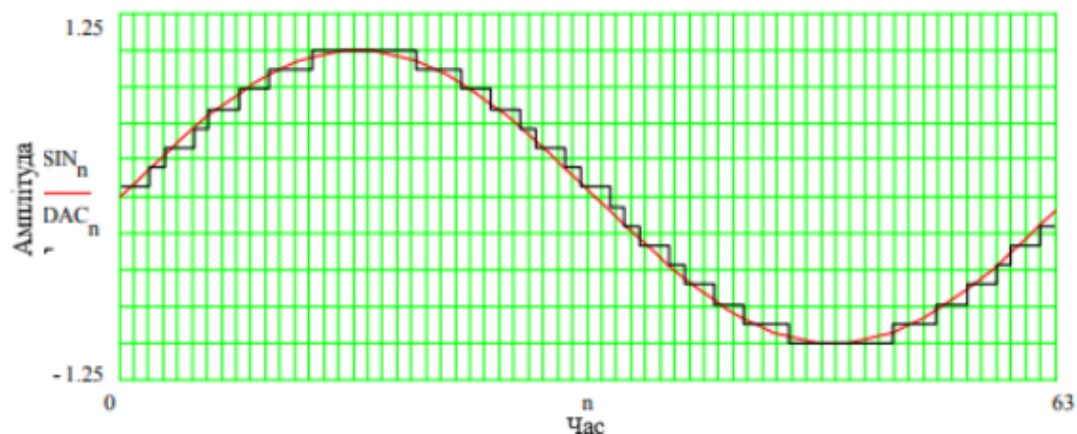


Рис.1.14 ЦАП реконструкція синусоїди

Вертикальні лінії позначають моменти часу, коли вихідне значення ЦАП оновлюється. Відстань між ними означає період вибірки. Оскільки вихідне значення перетворювача є не серією імпульсів нульової ширини, а прямокутними імпульсами, існує деяке відхилення між вихідним сигналом і реальним сигналом. Вертикальна відстань між обома сигналами є похибкою, внесеною ЦАП через його кінцеву роздільну здатність. Ця похибка називається похибкою квантування [2].

Кінцева роздільна здатність перетворювача є однією з причин наявності шпор на виході. Більш висока роздільна здатність ЦАП призводить до покращення вихідного сигналу, зменшуючи вміст шпор у вихідному спектрі.

1.2.5 Фільтр низьких частот

Фільтр низьких частот (ФНЧ) у прямому цифровому синтезі є важливим елементом для мінімізації небажаних спотворень вихідного сигналу та усунення небажаних гармонік.

Вхідний сигнал DDS проходить через ФНЧ, де він піддається фільтрації. ФНЧ приглушує або видаляє високочастотні складові, залишаючи лише низькочастотні. На виході ФНЧ отримується низькочастотний сигнал, який має

менше високочастотного шуму або небажаних гармонік, забезпечуючи більш чистий сигнал для подальшого використання.

ФНЧ пропускає лише сигнали низьких частот від 0 Гц до частоти зрізу, точку f_c для проходження, блокуючи сигнали, що мають більш високу частоту (рис.1.15).

$$f_c = \frac{1}{2\pi RC'} \quad (1.9)$$

де R – опір (в омах), а C – ємність (в фарадах).

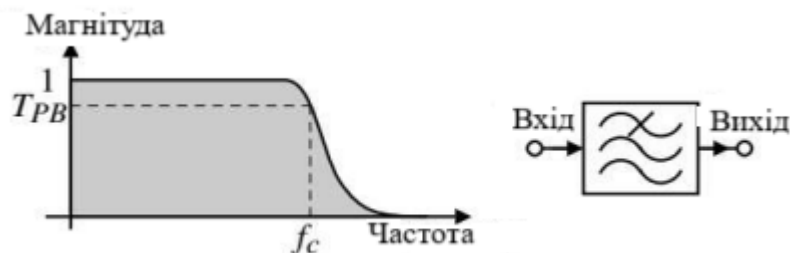


Рис. 1.15 Графік для простого низькочастотного фільтра

1.3 Порівняння методів синтезу частоти: PLL проти DDS

У світі електронних систем здатність генерувати точні та стабільні частоти має вирішальне значення для різних застосувань, таких як телекомунікації, контрольно-вимірювальні прилади та радіолокаційні системи. Двома відомими методами, що використовуються для синтезу частоти, є фазове автоналаштування частоти (PLL) і прямий цифровий синтез (DDS). Хоча обидва служать одній меті, вони суттєво відрізняються за своїми основними принципами, реалізацією та характеристиками продуктивності.

1.3.1 Фазове налаштування частоти (PLL)

Фазове автоналаштування – це замкнута система керування, яка використовується для синхронізації частоти та фази локально генерованого сигналу з частотою та вхідним сигналом.

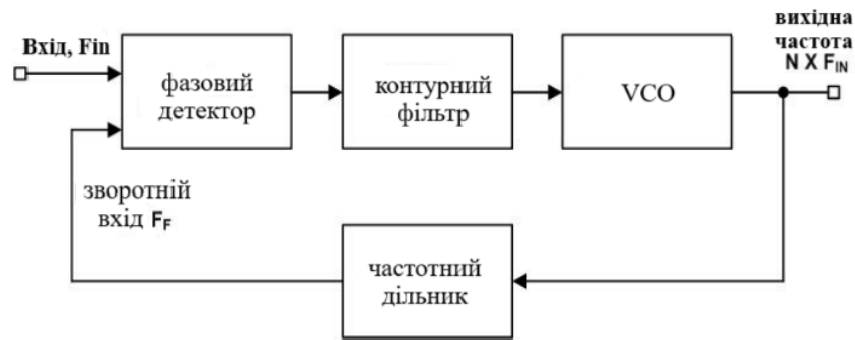


Рис.1.16 Структура ФАНЧ

В основному це нелінійна (фазовий детектор є нелінійним пристроєм) петля зворотного зв'язку, як показано на рис. 1.16. ФАНЧ складається з генератора, керованого напругою (VCO), фазового детектора, різноманітних дільників і контурного фільтра.

Генератор, керований напругою (VCO), – це пристрій, вихідна частота якого залежить від вхідної керуючої напруги (рис. 1.17). Відношення нелінійне, але монотонне. Однак, коли заблоковано, VCO можна вважати лінійним; це практично і зручно для аналітичних цілей.

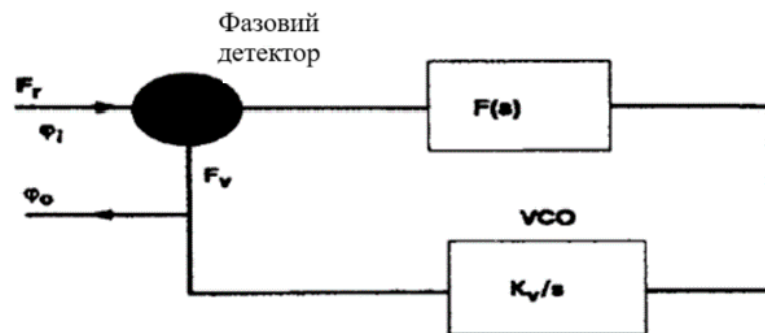


Рис.1.17 Генератор, керований напругою

Зміна характеристик керування VCO (тобто ця нелінійність) впливає на параметри контуру, і лінеаризація (або компенсація) контуру широко використовується. Як правило, форма вихідного сигналу VCO визначається як [11]:

$$A_{out}[t, \omega(v)] = A(t, v) \sin [\omega(v)t + j], \quad (1.10)$$

де A – амплітуда сигналу, а ω – кутова частота, що залежить як від часу t , так і від керуючої напруги v .

Як перше наближення, припускається, що A – константа (не залежить від t або v) і що ω є лінійною функцією v .

Тому можна записати рівняння (1.10) як:

$$A_{out}(t) = A \sin[(\omega_0 + k_v v)t + \varphi], \quad (1.11)$$

де k_v – постійна VCO [рад/(В·с)].

Оскільки припускається, що частота лінійно залежить від v і визначається як:

$$\omega(v) = \omega_0 + k_v v. \quad (1.12)$$

Як зазначалося, лінеаризація є виправданою та передбачається з метою більш простого аналізу. Насправді, коли цикл заблокований, коливання частоти незначні, і припущення про константність VCO є правильним.

Оскільки фаза є інтегралом кутової частоти, можна завершити апроксимацію, записавши, що функція передачі VCO, задана як передавальна функція Лапласа вихідної фази VCO:

$$\frac{\varphi_0(s)}{V} = \frac{K_v}{s}. \quad (1.13)$$

Фазовий детектор створює вихідну напругу, пропорційну різниці фаз між його входами, і завжди є нелінійною функцією. Проте, поблизу заблокованого положення цю функцію можна вважати лінійною (це також виправдано, оскільки в заблокованому стані більшість синтезаторів частоти працюють з дуже високим відношенням сигнал/шум, і тому фазовий детектор працює переважно на положення фіксованої фази). Отже:

$$V_d = \frac{K_d(\varphi_i - \varphi_0)V}{\text{rad}}, \quad (1.14)$$

де V – вихідна напруга фазового детектора. Тепер функції передачі циклу можна описати як:

$$V_d = K_d[\varphi_i(s) - \varphi_0(s)]V/\text{rad}. \quad (1.15)$$

Візьмемо формулу:

					<i>123.KI-41.14</i>	<i>Арк.</i>
Зм.	Арк.	№ докум.	Підпис	Дата		20

$$V_c = V_d(s)F(s), \quad (1.16)$$

де $F(s)$ – передавальна функція контурного фільтра, а V_c – це керуюча напруга VCO.

Розв'язування цих простих рівнянь дає:

$$\varphi_0(s) = \frac{\varphi_i(s)K_dK_vF(s)}{s + K_dK_vF(s)}, \quad (1.17)$$

а передавальна функція: $H(s) = \varphi_0(s)/\varphi_i(s)$ задана:

$$H(s) = \frac{K_dK_vF(s)}{s + K_dK_vF(s)}. \quad (1.18)$$

Крім того, виконання цих рівнянь покаже, що функція передачі помилки, визначена як:

$$H_e(s) = \frac{\varphi_i(s) - \varphi_0(s)}{\varphi_i(s)}, \quad (1.19)$$

здається як [11]:

$$H_e(s) = \frac{s}{s + K_dK_vF(s)}. \quad (1.20)$$

Оскільки ми лінійно вирівнювали всі компоненти, враховуючи K_v і K_d , поведінка зворотнього зв'язку в основному залежить від $F(s)$. Також зауважимо, що функція помилки має високі пропускні характеристики, і тому справжня модуляція постійного струму (DC) схеми ФАНЧ неможлива. Однак ця функція, яка також називається частотною модуляцією постійного струму, можлива в інших техніках синтезу.

Системи PLL пропонують кілька переваг, зокрема:

- Низький фазовий шум і тремтіння, що робить їх придатними для додатків, які вимагають високої спектральної чистоти.
- Широкий частотний діапазон, оскільки VCO може бути розроблений для роботи в широкому діапазоні частот.
- Можливість відстежувати зміни у вхідному опорному сигналі, що робить їх придатними для додатків, де потрібно динамічно регулювати частоту.

					<i>123.KI-41.14</i>	Арк.
						21
Зм.	Арк.	№ докум.	Підпис	Дата		

Однак PLL також мають деякі обмеження:

- Аналогова реалізація, яка може бути чутливою до факторів навколишнього середовища, таких як температура та коливання напруги живлення.
- Обмежена частотна роздільна здатність, оскільки вихідна частота визначається VCO та коефіцієнтом поділу контуру зворотного зв'язку.
- Можливість нестабільності та нелінійної поведінки, що може призвести до ковзання циклу або помилкового блокування [13].

1.3.2 Прямий цифровий синтез (DDS)

Прямий цифровий синтез (DDS) – це цифрова техніка для генерування широкого діапазону частот від одного опорного тактового сигналу з фіксованою частотою. Системи DDS зазвичай складаються з акумулятора фази, таблиці перегляду (або числового генератора) і цифро-аналогового перетворювача (DAC).

Акумулятор фази – це цифровий лічильник, який збільшується зі швидкістю, визначеною бажаною вихідною частотою та опорною тактовою частотою. Вихід накопичувача фази використовується як адреса таблиці пошуку або числового генератора, який зберігає або обчислює відповідні цифрові вибірки синусоїди або іншої форми сигналу. Ці цифрові зразки потім перетворюються в аналоговий сигнал за допомогою ЦАП, створюючи потрібну вихідну частоту.

DDS – це нова і зріла технологія генерації сигналів. 50 років тому ця техніка була досить новою і використовувалася в дуже обмежених застосуваннях. Проте, завдяки величезній еволюції цифрових технологій (швидкість, інтеграція, потужність, вартість), цифрової обробки сигналів (DSP) і пристроїв для перетворення даних, вона стає все більш популярною, а її продуктивність постійно покращується [13].

Існує фундаментальна різниця між DDS і PLL. Хоча як методи PLL, так і DDS використовують цифрові пристрої, але методика PLL в основному являє собою аналогові дисципліни. Основним генератором сигналу в обох методах є осцилятор, який є зворотним підсилювачем, налаштованим на роботу в певних умовах. Осцилятор маніпулюється, щоб дозволити генерацію діапазону частот. У DDS сигнал генерується і маніпулюється цифровим способом із “землі”, а після

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		22

завершення всіх цифрових маніпуляцій він перетворюється на аналоговий сигнал за допомогою цифрового до аналогового конвертера.

Переваги DDS можна підсумувати в наступних пунктах:

- Висока частотна роздільна здатність, оскільки вихідна частота визначається точністю цифрової схеми та опорною тактовою частотою.
- Швидке перемикання частоти та безперервність фази, що робить DDS придатним для додатків, які вимагають швидкого перемикання частоти або фазово-когерентного перемикання.
- Цифрова реалізація, яка може бути більш стійкою до факторів навколишнього середовища та легшою для інтеграції з цифровими системами.

Навіть не враховуючи унікальні особливості DDS, вона має свої недоліки:

- Обмежений діапазон вихідних частот, оскільки максимальна частота зазвичай обмежена частотою дискретизації ЦАП і швидкістю цифрової схеми.
- Можливість виникнення паразитних частот і шуму через ефекти квантування та нелінійності ЦАП.
- Вимога до високоякісного опорного тактового генератора, оскільки будь-яка нестабільність або тремтіння тактового генератора безпосередньо впливатимуть на якість вихідного сигналу [13].

1.3.3 Вибір між PLL і DDS

Вибір між PLL і DDS для конкретного застосування залежить від різних факторів, включаючи необхідний діапазон частот, частотну роздільну здатність, ефективність фазового шуму, частотну швидкість та інтеграцію із загальною системою [14].

Просте порівняння технологій можна зробити, вивчивши спектральну продуктивність і енергоспоживання, які продемонстровані в табл. 1.1.

					<i>123.KI-41.14</i>	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		23

Таблиця 1.1 – DDS проти PLL – порівняння високого рівня

	Споживання енергії	Спектральна чистота	Додатково
DDS	Низьке	Середня	Легкий у налаштуванні
PLL	Середнє	Висока	Важко налаштувати

ФАНЧ часто надають перевагу в програмах, що вимагають високої спектральної чистоти, широкого частотного діапазону та здатності відстежувати зміни у вхідному опорному сигналі. Вони зазвичай використовуються в радіочастотних і бездротових системах зв'язку, радарних системах і точних приладах.

DDS, з іншого боку, добре підходить для додатків, які вимагають швидкої стрибкоподібної зміни частоти, безперервності фази та високочастотної роздільної здатності. Вони широко використовуються в цифровому зв'язку, програмно-визначених радіосистемах (SDR) і генерації сигналів для випробувального та вимірювального обладнання.

На практиці (табл. 1.2) швидкий прогрес у обробці CMOS разом із сучасними цифровими методами проектування та вдосконаленими топологіями ЦАП призвів до того, що технологія DDS досягла рівня споживання електроенергії, спектральної продуктивності та вартості, які раніше були недосяжними для широкого кола споживачів.

Хоча готові продукти DDS ніколи не досягнуть найвищої продуктивності та гнучкості дизайну, досягнутої за допомогою спеціальних комбінацій високоякісної технології ЦАП і ПЛІС, переваги розміру, потужності та вартості в поєднанні з простотою пристроїв DDS можуть легко зробити їх першими у виборі для багатьох застосувань.

Таблиця 1.2 – Підсумок порівняльного аналізу технології генерації частот (< 50 МГц)

	PLL	DDS
Спектральна продуктивність	Висока	Середня
Вимоги до живлення системи	Високі	Низькі
Цифрове налаштування частоти	Ні	Так
Налаштування часу відгуку	Високе	Низьке
Площа	Середня	Мала
Гнучкість сигналу	Низька	Висока
Складність реалізації	Середня	Низька
Вартість	Середня	Низька

Також потрібно зауважити, що оскільки пристрій DDS за своєю суттю втілює цифровий метод генерації вихідного сигналу, він може спростити архітектуру деяких рішень або зробити можливим цифрове програмування сигналу. У той час як синусоїда зазвичай використовується для пояснення функції та роботи DDS, можна легко створити трикутну або квадратну (тактову) хвилю на виходах із сучасних мікросхем DDS, уникаючи потреби в таблиці пошуку в першому випадку, а для ЦАП в останньому випадку, де буде достатньо інтеграції простого, але точного компаратора.

У деяких випадках можна застосовувати гібридні підходи, що поєднують сильні сторони обох методів. Наприклад, PLL може бути використаний для генерації високочастотного опорного сигналу, який потім подається в DDS для забезпечення високої частотної роздільної здатності та гнучкості.

Зрештою, вибір між PLL і DDS залежить від конкретних вимог програми, а також таких факторів, як вартість, енергоспоживання та складність конструкції

2. КОНТРУКТОРСЬКИЙ РОЗДІЛ

Розробка генератора прямого цифрового синтезу частоти вимагає ретельного вибору ключових компонентів для забезпечення належної функціональності та продуктивності системи. У цьому проєкті буде використано інтегральну схему AD9834, яка є високопродуктивним DDS-пристроєм, який має низьке спотворення сигналу. Контролер AD9834 буде програмуватися мікроконтролером ATMEGA328P, який дозволить змінювати частоту вихідного сигналу.

Вихідна частота буде регулюватися ззовні за допомогою кнопок, а поточне значення буде відображатися на 8-розрядному світлодіодному дисплеї MAX7219 для зручності користувача. Обмін даними між мікроконтролером, AD9834 та дисплеєм буде здійснюватися за допомогою послідовного периферійного інтерфейсу (SPI), що забезпечить швидку та ефективну передачу даних.

У цьому розділі детально описано процес вибору та інтеграції цих компонентів, включаючи обґрунтування їх використання, технічні характеристики та схеми підключення. Адже належний вибір елементів є критично важливим для забезпечення точності, стабільності та надійності генератора DDS.

2.1. Вибір мікроконтролера

Мікроконтролер (МК) є основним компонентом пристрою, який керує всіма операціями та здійснює всі обчислення, необхідні системі. Працюючи на одному чіпі, він має центральний процесор, пам'ять (RAM і ROM) та інтерфейси (порти введення/виведення) для додатків, таких як відео, аудіо, USB і камери. На відміну від мікропроцесора, який обслуговує більш загальні програми, мікроконтролер спрямований на більш конкретні програми. МК виконує команди програми, зберігаючи значення в пам'яті, вибираючи значення з пам'яті та накопичувача, а також керуючи периферійними пристроями відповідно до операторів програми.

Оскільки мікроконтролери підходять для конкретних завдань, важливо вибрати МК, який найбільше підходить для проєкту. Потрібно враховувати багато факторів [15].

					123.KI-41.14	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		26

Енергоефективність. Існує компроміс між продуктивністю обробки та споживанням енергії: пристрій із вищою потужністю обробки споживатиме більше енергії. Тому, якщо мікроконтролер є бездротовим і працює від акумуляторної батареї, потрібно зважити пожертування енергоефективністю та отримання більшої обчислювальної потужності, або навпаки.

Витривалість до температур. Залежно від середовища, в якому працюють мікроконтролери, можуть знадобитися пристрої, які витримують екстремальні температури.

Апаратна архітектура. Корпус мікроконтролера безпосередньо впливає на його розмір і продуктивність. Найпоширенішим типом корпусів є здвоєні корпуси в лінію. Транзистори з невеликими контурами займають невелику площу, а чотирививідні корпуси займають більше площі, але менше вертикального простору. Мікросхеми на рівні пластини набагато менші за розміром і мають більшу обчислювальну потужність, але дорожчі у виробництві. Плоскі безсвинцеві корпуси краще розсіюють тепло. Масиви з кульковою сіткою (BGA) мають високу продуктивність завдяки компактному корпусу, але також коштують дорожче у виробництві.

Пам'ять. Обсяг пам'яті (RAM і ROM), який потрібен, залежить від програм, які будуть запускатися. Більша кількість програм потребує більше оперативної пам'яті (RAM). Крім того, графічний процесор потребує не тільки більше оперативної пам'яті, але й швидшого часу читання/запису.

Апаратний інтерфейс. Характер завдання диктуватиме потребу в апаратних інтерфейсах, таких як USB, Wi-Fi, Bluetooth, аудіо, відео або камера.

Вартість. Мікроконтролери мають широкий діапазон цін: від ста одиниць за кілька доларів до кількох доларів за одиницю. Якщо є думка про масштабування виробництва, потрібно врахувати загальну вартість у порівнянні з окремою продуктивністю мікроконтролера.

Для проекту було обрано мікроконтролер типу ATMEGA328P.

Atmel® ATmega328P – це малопотужний 8-розрядний CMOS-мікроконтролер на основі вдосконаленої RISC-архітектури AVR® (рис. 2.1).

										Арк.
										27
Зм.	Арк.	№ докум.	Підпис	Дата						

Виконуючи потужні інструкції за один такт, АТmega328Р досягає пропускну здатності, що наближається до 1 MIPS на МГц, що дозволяє розробнику системи оптимізувати енергоспоживання в порівнянні зі швидкістю обробки.

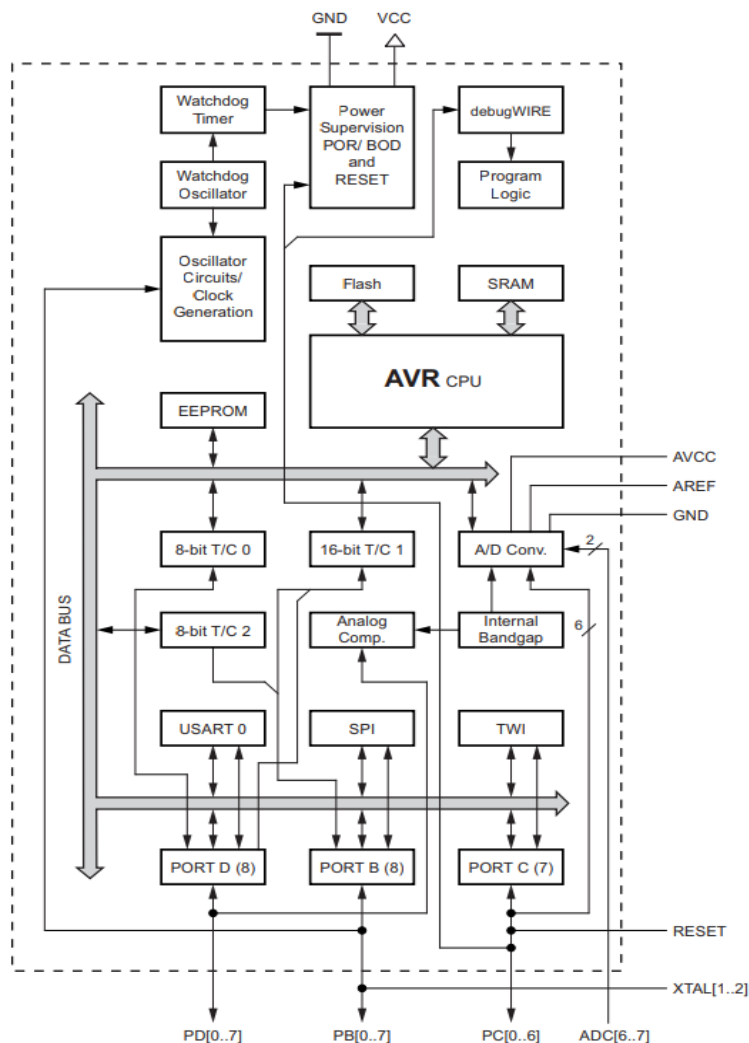


Рис. 2.1 Блок-схема АТmega328Р

Ядро AVR® поєднує в собі багатий набір інструкцій з 32 робочими регістрами загального призначення. Усі 32 регістри безпосередньо з'єднані з арифметико-логічним пристроєм (ALU), що дозволяє отримати доступ до двох незалежних регістрів в одній інструкції, що виконується за один такт. Отримана в результаті архітектура є більш ефективною для коду та забезпечує пропускну здатність до десяти разів швидшу, ніж звичайні мікроконтролери CISC [16].

Atmel® АТmega328Р надає наступні можливості:

- 32К байт програмованої флеш-пам'яті у системі з можливістю читання-під час-запису;

- 1К байт EEPROM;
- 2К байт SRAM;
- 23 лінії введення/виведення загального призначення;
- 32 загальнопризначені робочі регістри;
- три гнучких таймери/лічильники з режимами порівняння;
- внутрішні та зовнішні переривання;
- серійний програмований USART;
- 2-дротовий інтерфейс передачі байтів;
- серійний порт SPI;
- 6-канальний 10-бітний ADC (8 каналів у корпусах TQFP та QFN/MLF);
- програмований таймер спостереження з внутрішнім генератором коливань;
- п'ять програмованих режимів енергозбереження:
 - режим очікування зупиняє ЦП, але дозволяє SRAM, таймерам/лічильникам, USART, інтерфейсу 2-дротового зв'язку, порту SPI та системі переривань продовжувати роботу.
 - режим вимкнення зберігає вміст регістрів, але заморожує коливання, вимикаючи всі інші функції мікросхеми до наступного переривання або апаратного скидання.
 - у режимі енергозбереження асинхронний таймер продовжує працювати, дозволяючи користувачеві зберігати базу часу, поки інші функції приладу сплять.
 - режим зменшення шуму ADC зупиняє ЦП та всі модулі введення/виведення, крім асинхронного таймера та ADC, щоб зменшити переключальний шум під час перетворень ADC.
 - у режимі очікування кристал/резонатор продовжує працювати, поки інші функції пристрою сплять. Це дозволяє дуже швидке включення разом із низьким споживанням енергії.

					<i>123.KI-41.14</i>	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		29

Основні електричні характеристики АТmega8535 представлені в табл. 2.1.

Таблиця 2.1 – Основні електричні характеристики АТmega8535

Назва параметра	Номінальне значення
Робоча температура	-55...+125°C
Температура зберігання	-65...+150°C
Напруга на будь-якому виводі по відношенню до загального живлення, окрім RESET	-1,0 В VCC+0,5 В
Напруга на виводі скидання RESET по відношенню до загально живлення	-1,0... +13,0 В
Максимальна робоча напруга	6,0 В
Постійний струм через лінію введення-виведення	40,0 мА
Постійний струм через виводи VCC і GND	200,0 мА

Пристрій виготовлено за допомогою технології високої щільності не волатильної пам'яті від Atmel. Вбудована програмована флеш-пам'ять ISP дозволяє перепрограмувати пам'ять програм у системі через SPI серійний інтерфейс, за допомогою звичайного програматора не волатильної пам'яті або за допомогою програми завантаження, яка працює на ядрі AVR. Програма завантаження може використовувати будь-який інтерфейс для завантаження програми застосування в пам'ять програм застосування. Програмне забезпечення в розділі завантаження флеш-пам'яті буде продовжувати виконуватися, поки розділ флеш-пам'яті застосування оновлюється, забезпечуючи справжню можливість читання-під час-запису. Шляхом поєднання 8-бітного RISC CPU з вбудованою програмованою флеш-пам'яттю у системі на монолітному чіпі Atmel АТmega328Р стає потужним мікроконтролером, який надає дуже гнучке та ефективне рішення для багатьох вбудованих систем управління.

Мікроконтролер АТmega328Р AVR підтримується повним набором інструментів для розробки програм та систем, включаючи: компілятори мови С, макроасемблери, дебагери/симулятори програм, емулятори в ланцюжку, набори оцінювання [16].

Arduino UNO – це популярна мікроконтролерна плата, яка базується на мікроконтролері ATmega328P (рис. 2.2). Саме ця плата буде використовуватись у даному проекті.



Рис. 2.2 Плата Arduino UNO

Основні її характеристики подано нижче та у табл. 2.2:

- цифрові входи/виходи: Arduino UNO має 14 цифрових входів/виходів, з яких 6 можуть бути використані як виходи PWM (ШИМ), що дозволяє керувати яскравістю світлодіодів або швидкістю обертання сервоприводів.
- аналогові входи: плата має 6 аналогових входів, які можуть зчитувати аналогові значення від датчиків, потенціометрів і т.д.
- 16 МГц кристалевий резонатор: цей резонатор забезпечує точний тактовий сигнал для мікроконтролера.
- USB з'єднання: Arduino UNO може бути підключена до комп'ютера за допомогою USB-кабеля для програмування та комунікації з комп'ютером.
- роз'єм живлення: плата може бути живлена від різних джерел, включаючи комп'ютер через USB або зовнішній джерела живлення через роз'єм живлення.
- кнопка скидання: ця кнопка дозволяє скидати мікроконтролер, перезапускаючи програму.
- роз'єм ICSP: цей роз'єм дозволяє підключати Arduino UNO до програматора для завантаження програми безпосередньо в мікроконтролер.

Таблиця 2.2 – Основні характеристики Arduino UNO

Основні критерії	Значення
Мікроконтролер	ATmega328
Робоча напруга	5 В
Напруга живлення (рекомендована)	7-12 В
Напруга живлення (гранична)	6-20 В
Цифрові входи / виходи	14
Аналогові входи	6
Максимальний струм одного виведення	40 мА
Максимальний вихідний струм виводу 3,3V	50 мА
Flash-пам'ять	32 КБ (ATmega328), з яких 0,5 КБ використовуються завантажувачем
SRAM	2 КБ (ATmega328)
EEPROM	1 КБ (ATmega328)
Тактова частота	16МГц

Плата Arduino UNO містить всі необхідні компоненти для підтримки мікроконтролера ATmega328P. Можна легко почати роботу, підключивши її до комп'ютера через USB або живлячи її адаптером чи батареєю. Однією з основних переваг використання Arduino є те, що якщо виникають певні проблеми, можна замінити мікроконтролер за невеликі кошти і почати спочатку. Також Arduino UNO має дружній інтерфейс і простий API, що робить програмування і створення проектів доступними навіть для початківців. Це робить її відмінною платформою для експериментів і навчання без страху невідворотних пошкоджень [17].

2.2 Пристрій AD9834

У проекті використано DDS типу AD9834 (рис. 2.3).

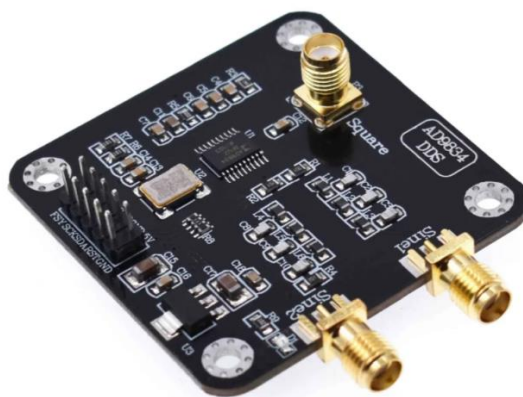


Рис. 2.3 AD9834

AD9834 – це малопотужний DDS-пристрій з частотою 75 МГц, здатний генерувати високоякісні синусоїдальні та трикутні сигнали. Він також має вбудований компаратор, який дозволяє виробляти прямокутну хвилю для генерації тактових імпульсів. Споживаючи лише 20 мВт потужності при напрузі 3 В, AD9834 є ідеальним кандидатом для чутливих до енергоспоживання додатків.

Передбачена можливість фазової та частотної модуляції. Частотні регістри мають 28 біт; з тактовою частотою 75 МГц можна досягти роздільної здатності 0,28 Гц. Аналогічно, з тактовою частотою 1 МГц AD9834 можна налаштувати на роздільну здатність 0,004 Гц [18].

На частотну і фазову модуляцію впливає завантаження регістрів через послідовний інтерфейс і перемикання регістрів за допомогою програмного забезпечення або контактів FSELECT і PSELECT відповідно.

AD9834 записується за допомогою 3-провідного послідовного інтерфейсу. Цей послідовний інтерфейс працює на тактовій частоті до 40 МГц і сумісний зі стандартами DSP і мікроконтролерів.

Пристрій працює від джерела живлення від 2,3 до 5,5 В. Аналогова і цифрова секції незалежні і можуть працювати від різних джерел живлення, наприклад, AVDD може дорівнювати 5 В, а DVDD - 3 В.

AD9834 має вивід вимкнення живлення (SLEEP), який дозволяє керувати режимом вимкнення живлення ззовні (рис. 2.4). Частина пристрою, які не

					123.KI-41.14	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		33

використовуються, можна вимкнути, щоб мінімізувати споживання струму. Наприклад, ЦАП можна вимкнути, коли формується тактовий сигнал [7].

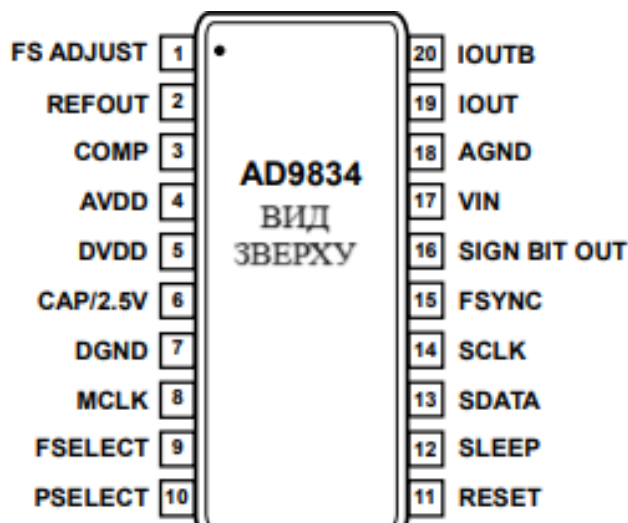


Рис. 2.4 Конфігурація контактів

Обираючи цей пристрій для певного проекту, можна отримати доступ до ряду важливих переваг, які зроблять дослідження більш точними, ефективними та гнучкими.

По-перше, гнучкість пристрою DDS AD9834 виявляється в його ступені налаштування. Він може створювати точні сигнали без використання додаткових компонентів. Також варто відмітити високу точність та стабільність, оскільки можливість генерувати сигнали з високою частотною і фазовою стабільністю забезпечує надійність результатів дослідження. Ще однією перевагою є простота інтеграції пристрою: AD9834 має компактний корпус і може працювати з високою ефективністю з мікроконтролерами із SPI інтерфейсом [18].

Застосування AD9834 охоплює широкий діапазон сфер, зокрема:

- генерування частотних сигналів;
- фазова перебудова та модуляція частоти;
- малопотужні радіочастотні/комунікаційні системи;
- вимірювання витрати рідини і газу;
- сенсорні додатки: наближення, рух і виявлення дефектів;

- випробувальне та медичне обладнання.

2.3 Дисплей MAX7219

MAX7219 є компактним серійним вхідним/вихідним драйвером загального катода, який забезпечує інтерфейс між мікропроцесорами та 7-сегментними цифровими світлодіодними дисплеями до 8 цифр, стрічковими графіками або 64 окремими світлодіодами. Дисплей має п'ять вихідних контактів для підключення, як показано на рис. 2.5 [17].

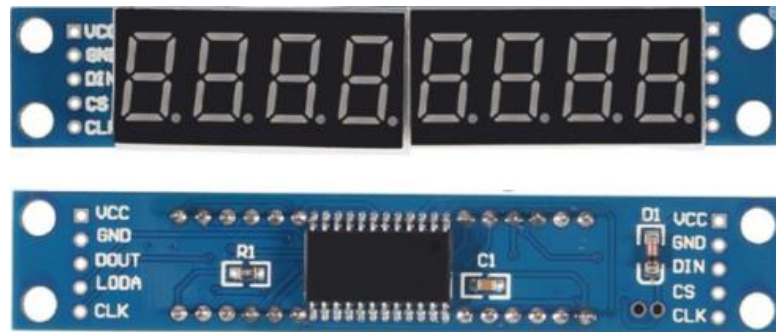


Рис. 2.5 MAX7219

Вбудованими є декодер коду BCD-B, схема мультиплексного сканування, драйвери сегментів та цифр, а також статична оперативна пам'ять 8x8, яка зберігає кожен цифру. Потрібен лише один зовнішній резистор для встановлення струму сегмента для всіх світлодіодів. MAX7219 сумісний з SPI™, QSPI™ та MICROWIRE™ і має драйвери сегментів з обмеженою швидкістю наростання для зменшення електромагнітних перешкод (рис. 2.6).

Зручний 4-провідний послідовний інтерфейс підключається до всіх поширених μP . Окремі цифри можуть бути адресовані та оновлені без перезапису всього дисплея. MAX7219 також дозволяє користувачеві вибрати декодування коду В або відсутність декодування для кожної цифри.

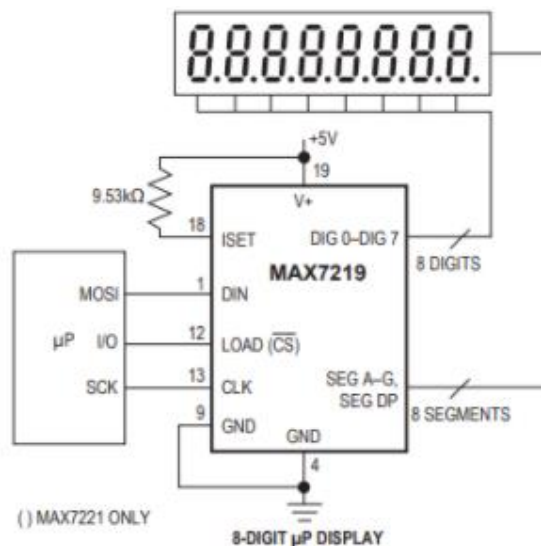


Рис. 2.6 Типова схема MAX7219

Пристрій має режим вимкнення з низьким енергоспоживанням 150 мкА, аналогове та цифрове регулювання яскравості, регістр обмеження розгортки, який дозволяє користувачеві відображати від 1 до 8 цифр, а також тестовий режим, який примусово вмикає всі світлодіоди.

Тож можна виділити такі особливості MAX7219:

- послідовний інтерфейс 10 МГц;
- індивідуальне управління світлодіодним сегментом;
- вибір декодування / не декодування цифри;
- низькопотужне вимкнення 150 мкА (дані зберігаються);
- цифрове та аналогове регулювання яскравості;
- вимкнення дисплея при увімкненні живлення;
- світлодіодний дисплей із загальним катодом приводу;
- послідовний інтерфейс spi, qspi, microwire;
- 24-контактні dip- і so-пакети [19].

3. ПРОГРАМНИЙ РОЗДІЛ

Запрограмовані компоненти системи генератора прямого цифрового синтезу частоти – Arduino Uno, DDS типу AD9834 та дисплей типу MAX7219 – утворюють основну інфраструктуру цього проекту. У даному розділі буде описано програмування кожного з цих компонентів, від початкового налаштування до функціонального використання. Завершальний підрозділ міститиме пояснення повного коду програми, який об'єднує всі нижче описані кроки та реалізує функціональність системи генератора прямого цифрового синтезу частоти

3.1 Послідовний периферійний інтерфейс

Зв'язок між мікроконтролером типу ATMEGA328P та DDS, так само, як і з дисплеєм, відбувається через SPI. Це система передачі даних по шині між двома пристроями, які називаються Master і Slave. Базовий системний зв'язок SPI показаний на рис. 3.1. Кілька підлеглих пристроїв можуть бути підключені до одного головного пристрою [20].

Мікроконтролер є головним, який програмує периферійні пристрої, DDS і дисплей. У цьому проекті дані потрібні лише для проходження в один бік, від головного до підлеглого, тому потрібні три дроти:

- Serial Clock (SCK): синхронізує систему.
- Serial Data Output (SDO): виведення даних від головного до підлеглого.
- Slave select (SS): вмикає зв'язок і вибирає підпорядкованого для зв'язку.

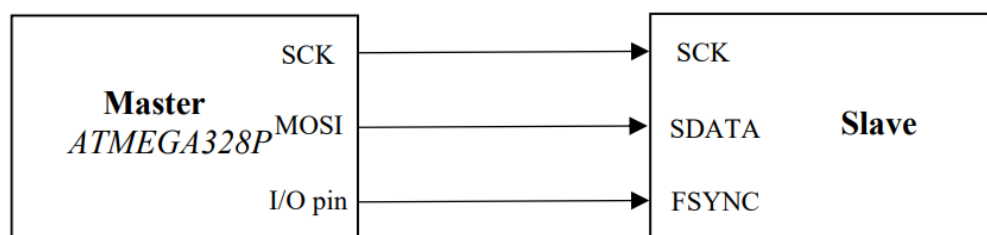


Рис. 3.1 Схема зв'язку SPI [20]

3.2. Регістри AD9834

DDS програмується через мікроконтролер через SPI. Мікроконтролер програмує пристрій шляхом запису в регістри. На рис. 3.2 показана функціональна блок-схема DDS. На зображенні можна оцінити основні блоки прямого цифрового синтезатора, включаючи накопичувач фази, таблицю пошуку синуса та цифро-аналоговий перетворювач, який у даному випадку є 10-бітним ЦАП. Блок-схема також включає різні регістри, які можна програмувати, і різні вхідні та вихідні контакти пристрою.

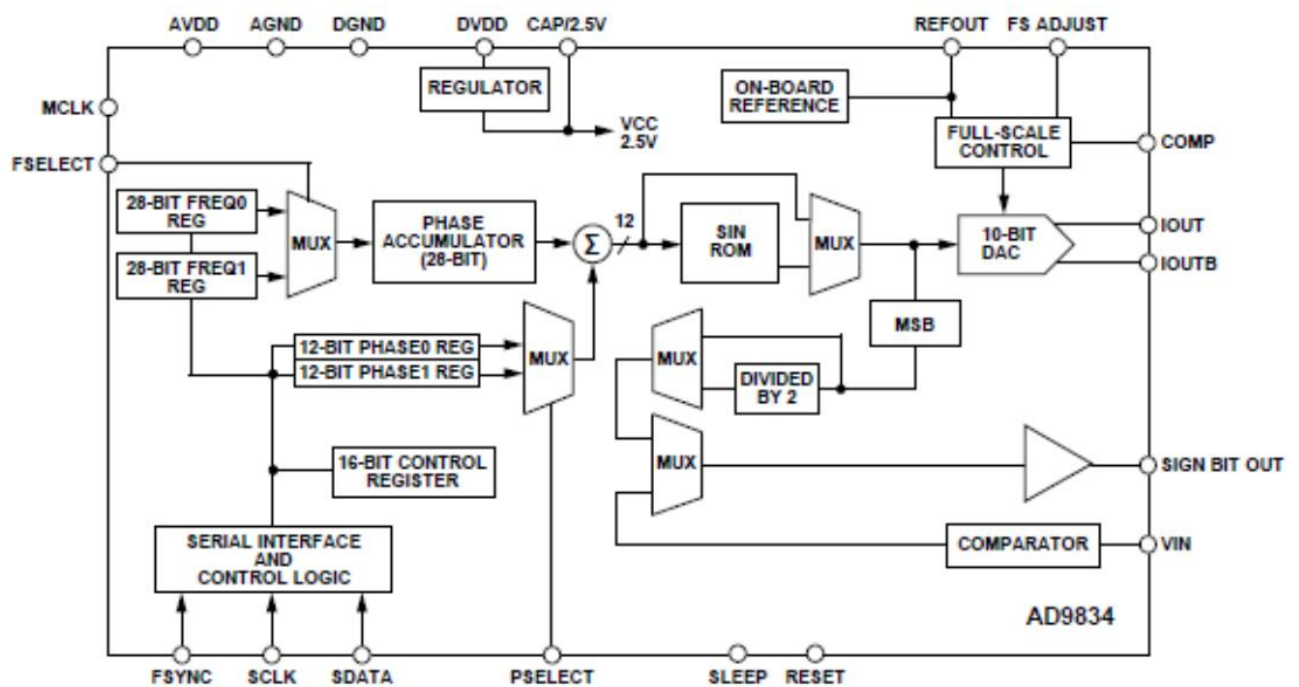


Рис. 3.2 Функціональна блок-схема DDS

DDS програмується шляхом завантаження в регістри 16-розрядного слова. Він містить контрольний регістр, який дозволяє користувачеві налаштувати пристрій, і два регістри частоти (FREQ0 і FREQ1) для визначення вихідної частоти. Частотний регістр має 28 біт, тому для зміни всього вмісту частотного регістра потрібні два завантаження по 14 біт. Два старших біта слова (DB15 і DB14) вказують напрямок регістра, як показано в табл. 3.1 [7].

Зм.	Арк.	№ докум.	Підпис	Дата

Таблиця 3.1 – Адреси регістрів

	DB15	DB14
Контрольний регістр	0	0
Частотний регістр (FREQ0)	0	1
Частотний регістр (FREQ1)	1	0

AD9834 також містить два 12-розрядних фазових регістра для фазової модуляції. Вміст регістра додається до виходу акумулятора фази. Ця конфігурація підтримує модуляцію фазової маніпуляції (PSK) і модуляцію частотної маніпуляції (FSK). У цьому проекті вони не будуть використовуватися, просто потрібно контролювати частоту.

3.2.1. Регістр керування

Регістр керування записується першим, оскільки визначено режим роботи пристрою. Кожен біт контрольного регістра (табл.3.2) описаний нижче [7].

Таблиця 3.2 – Регістр керування

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
0	0	B28	HLB	FSEL	PSEL	PIN/SW	RESET
DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
SLEEP1	SLEEP12	OPBITEN	SIGN/PIB	DIV2	0	MODE	0

- DB15 і DB14 повинні дорівнювати 0, щоб вказати, що вміст керуючого регістру буде змінено.
- DB13, встановлений на 1, дозволяє записати 28 біт регістра частоти. Він записується двома послідовними завантаженнями, надсилаючи спочатку 14 LSB, а потім 14 MSB. У випадку DB13=0 28-розрядний регістр діє як два окремих регістри. 14 MSB або 14 LSB можна модифікувати незалежно один від одного. Оскільки потрібна 28-бітна роздільна здатність, DB13=1.
- DB12 є значущим лише тоді, коли попередній біт встановлено на 0. DB12=0 дозволяє записувати 14 LSB, а DB12=1 – MSB. Оскільки DB13=1, цей біт має значення.

- DB11 керує доступом накопичувача фази до регістру частоти FREQ0 або FREQ1. Оскільки зареєстровано використовується FREQ0, DB11=0.
- DB10 контролює доступ до фазового регістра, який не використовується
- DB9 вирішує, чи керують функціями біти (DB9=0) чи контакти (DB9=1). Оскільки DDS програмується цифровим способом, DB9=0
- DB8 скидає внутрішні регістри, якщо встановлено значення 1, але не регістри керування, частоти чи фази. Коли DDS увімкнено, його потрібно скинути.
- DB7 і DB6 можна встановити на 1, щоб зменшити енергоспоживання, вимикаючи невикористовувані елементи. DB7 вимикає MCLK, а DB6 ЦАП. Необхідно, щоб обидві функції були активними, тому обидва біти мають значення 0
- DB5 вмикає непотрібні цифрові виходи з контакту SIGN BIT OUT.
- DB4 і DB3 актуальні, лише якщо біт OPBITEN (DB5) встановлено в 1.
- DB2 має бути 0 у всіх випадках.
- DB1 керує виходом на контакті IOOUT/контакті IOOUT B. Вихід DDS може бути синусоїдальним сигналом, а також трикутною хвилею. MODE=0 призводить до синусоїдальної хвилі, тоді як MODE=1 призводить до трикутника.
- DB0 має бути 0 у всіх випадках.

3.2.2. Частотний регістр

AD9834 містить два 28-розрядних регістри частоти, але використовується лише регістр FREQ0. Адреса регістра визначається бітами DB15 і DB14, які встановлюються в 0 і 1 відповідно, що відповідає FREQ0. Біти зліва, DB13...DB0, визначають частоту, що містить слово налаштування. Перше завантаження в частотний регістр включатиме 14 LSB, а останнє – 14 MSB (табл. 3.3) [7].

					<i>123.KI-41.14</i>	Арк.
						40
Зм.	Арк.	№ докум.	Підпис	Дата		

Таблиця 3.3 – Біти частотного регістра

DB15	DB14	DB13...DB0
0	1	Слово налаштування 14 LSB
0	1	Слово налаштування 14 MSB

3.3. Мікроконтролер

Мікроконтролер типу ATMEGA328P виконує роль головного пристрою зв'язку SPI. Він містить 8-розрядний зсувний регістр, куди завантажуються дані перед відправкою на підлеглий пристрій. Зв'язок починає приймати низький рівень підпорядкованого вибору. Коли дані завантажуються в регістр зсуву, запускається тактовий генератор SPI, і 8 бітів зсуваються до підпорядкованого пристрою. Після відправки одного байта тактовий генератор зупиняється і встановлюється прапор закінчення передачі (SPIF) [16].

3.3.1. Регістри мікроконтролера SPI

Мікроконтролер містить різні регістри, окрім 8-розрядного зсувного регістра, про який уже було сказано. SPCR – це керуючий регістр, де кожен біт керує налаштуванням SPI. SPDR містить дані, які потрібно надіслати на підлеглий пристрій. Нарешті, регістр стану SPSR є регістром лише для читання (за винятком біта SPI2X, який не використовується), який інформує про стан передачі.

Біти керуючого регістра ATMEGA328P показані в табл. 3.4

Таблиця 3.4 – Регістр керування SPI, SPCR

BIT	7	6	5	4	3	2	1	0
SPCR	SPI	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0

- Біт 7 (SPIE: SPI Interrupt Enable): переривання не використовуються.
- Біт 6 (SPE: SPI Enable): його потрібно встановити на 1, щоб увімкнути роботу SPI.
- Біт 5 (DORD: порядок даних): він вирішує, який LSB або MSB слова даних передається першим. Цей біт встановлено на 0, тому MSB передається першим.

- Біт 4 (MSTR: вибір головного/підлеглого): цей біт має значення 0, тому пристрій налаштовано як головний.
- Біт 3 (CPOL: Clock Polarity): полярність тактового генератора визначається залежно від характеристик веденого пристрою. Коли CPOL=1, SCK високий у режимі очікування. Коли CPOL=0, SCK низький під час простою.
- Біт 2 (CPHA: тактова фаза): він вирішує, чи вибірка даних відбувається на передньому фронті (першому фронті імпульсу), CPHA=0, чи на задньому фронті (останньому фронті імпульсу), CPHA=1.
- Біти 1, 0 (SPR1, SPR0: вибір тактової частоти SPI 1 і 0): вони контролюють співвідношення між SCK і частотою генератора, як показано в табл. 3.5.

Таблиця 3.5 –Зв’язок між SCK і частотою генератора

SPI2X	SPR1	SPR0	Частота SCK
0	0	0	$F_{osc}/4$
0	0	1	$F_{osc}/16$
0	1	0	$F_{osc}/64$
0	1	1	$F_{osc}/128$
1	0	0	$F_{osc}/2$
1	0	1	$F_{osc}/8$
1	1	0	$F_{osc}/32$
1	1	1	$F_{osc}/64$

Регістр даних, SPDR, описаний в табл. 3.6, записує дані в 8-бітний регістр зсуву, щоб ініціювати передачу даних. Слід зазначити, що регістри завантаження DDS мають ширину 16 біт, а мікроконтролер надсилає 8-розрядні слова даних. Тому в коді є функція, яка розділяє слово даних, щоб відправити два послідовних завантаження по 8 біт [16].

Таблиця 3.6 –Регістр даних

BIT	7	6	5	4	3	2	1	0	
SPDR	DATA							MSB	LSB

3.4. Дисплей MAX7219

Вихідна частота відображається на 8-значному світлодіодному дисплеї, який також програмується через SPI мікроконтролером. Режим роботи подібний до режиму DDS, але вибірка даних здійснюється на передньому фронті тактового генератора, а не на спадному. Система показана на рис. 3.3.

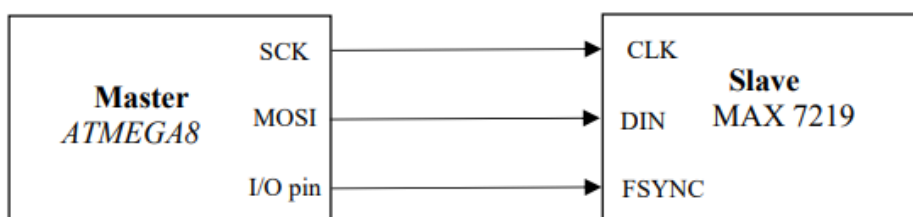


Рис. 3.3 Зв'язок з дисплеєм SPI

Дисплей містить 16-бітний регістр, показаний у табл. 3.7. Біти D11-D8 містять адресу регістра, а біти D7-D0 містять дані. D15-D12 не мають значення [19].

Таблиця 3.7 – Відображення 16-розрядного регістра

D15	D14	D13	D12	D11	D10	D9	D8
X	X	X	X	Адреса			
D7	D6	D5	D4	D3	D2	D1	D0
MSB			Дані				LSB

3.4.1. Ініціалізація

Щоб налаштувати дисплей, деякі регістри керування програмуються в частині ініціалізації. Відповідні адреси керуючих регістрів наведено в наступній таблиці [19].

Таблиця 3.8 – Адреси реєстрів керування

Адреса					HEX-Код	Регістр
D15-D12	D11	D10	D9	D8		
X	1	1	0	0	0xXC	Режим вимкнення
X	1	0	1	1	0xXB	Межа сканування
X	1	0	0	1	0xX9	Режим декодування
X	1	0	1	0	0xXA	Інтенсивність

Коли дисплей увімкнено, всі реєстри скидаються і дисплей переходить у режим вимкнення. Регістр вимкнення має два режими роботи, наведені в табл. 3.9. Для ініціалізації пристрою встановлюється встановлюється нормальний режим роботи.

Таблиця 3.9 – Режими вимкнення реєстрів

Режими	Адресний код(hex)	Дані реєстра		
		D7-D1	D0	HEX Код
Вимкнення	0xXC	X	0	0xX0
Нормальний	0xXC	X	1	0xX1

Регістр обмеження сканування встановлює кількість цифр, які відображаються (табл. 3.10). Оскільки прилад може показувати від 1 до 8 цифр, для більшої точності вибрано максимальне.

Таблиця 3.10 – Регістр обмеження сканування

Режим	Адресний код(hex)	Дані реєстра								
		D7	D6	D5	D4	D3	D2	D1	D0	HEX код
8цифр	0xXB	X	X	X	X	X	1	1	1	0xX7

Яскравість дисплея також програмується цифровим способом. Вона забезпечується внутрішньою широтно-імпульсною модуляцією, де контролюється нижня межа чутливості. Діапазон - від 31/32 до 1/32. Після випробування різних значень вибирається проміжне (15/32). Табл. 3.11 містить код реєстра.

Таблиця 3.11 – Регістр яскравості

Режим	Адресний код(hex)	Дані регістра								
		D7	D6	D5	D4	D3	D2	D1	D0	HEX код
15/32	0xXA	X	X	X	X	X	1	1	1	0xX7

На завершення, програмується регістр режиму декодування (табл. 3.12). Режим декодування дозволяє встановити BCD-код для кожного розряду. Якщо вибрано режим без декодування, біти даних відносяться до сегментних ліній, у цьому випадку режим декодування встановлюється для всіх розрядів.

Таблиця 3.12 – Регістр режиму декодування

Режим	Адресний код(hex)	Дані регістра								
		D7	D6	D5	D4	D3	D2	D1	D0	HEX код
Код BCD цифр 7-0	0xX9	1	1	1	1	1	1	1	1	0xFF

3.4.2. Розрядні регістри

Цифри оновлюються індивідуально, тому кожна цифра має свою адресу, наведену в табл. 3.13. Оскільки для всіх цифр встановлено режим декодування BCD, потрібні лише 4 біти, тому розглядаються лише D3-D0. Біти D6-D4 не враховуються, а D7 встановлює десяткову крапку, яка не використовується [19].

Таблиця 3.13 – Розрядні регістри

Адреса					HEX-Код	Регістр
D15-D12	D15-D12	D15-D12	D15-D12	D15-D12		
X	0	0	0	0	0xX0	-
X	0	0	0	1	0xX1	Цифра 0
X	0	0	1	0	0xX2	Цифра 1
X	0	0	1	1	0xX3	Цифра 2
X	0	1	0	0	0xX4	Цифра 3
X	0	1	0	1	0xX5	Цифра 4
X	0	1	1	0	0xX6	Цифра 5
X	0	1	1	1	0xX7	Цифра 6
X	1	0	0	0	0xX8	Цифра 7

3.5. Код програми

Код пояснюється шляхом перегляду функцій, включаючи DDS, дисплей і, нарешті, кнопки. Після пояснення функцій описується частина ініціалізації та основна функція.

3.5.1. Функції зв'язку з DDS і дисплеєм

Першим кроком для зв'язку з DDS, як і з дисплеєм, є функція `send_frequency`. Вона встановлює регістр керування мікроконтролера (SPCR) для обох периферійних пристроїв і викликає відповідні функції для встановлення частоти. Функція отримує частоту в Гц.

Важливо врахувати характеристики передачі введеного сигналу, щоб встановити фазу синхронізації (біт 2) і полярність синхронізації (біт 3) регістра керування. У DDS у режимі очікування тактова частота висока, як показано на рисунку 3.4, тому $CPOL = 1$. Дані відбираються на спадному фронті тактового генератора, який є переднім фронтом, тому $CPHA = 0$.

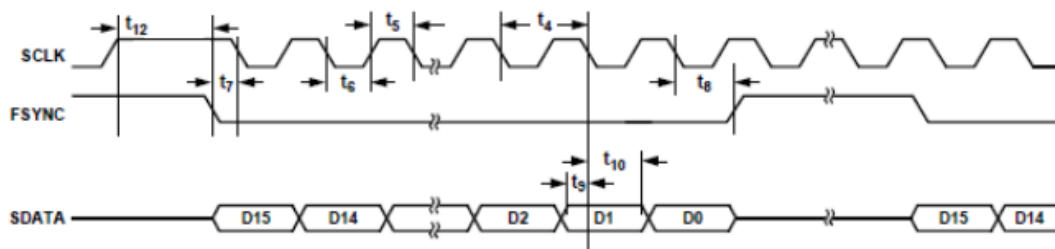


Рис. 3.4 Часові характеристики DDS [7]

На відміну від DDS, у дисплеї тактовий сигнал у режимі очікування низький, тому CPOL = 0. Біт фази тактового сигналу такий самий, як і в DDS, вибірка даних відбувається на висхідному фронті тактового сигналу який у цьому випадку є переднім фронтом (рис. 3.5).

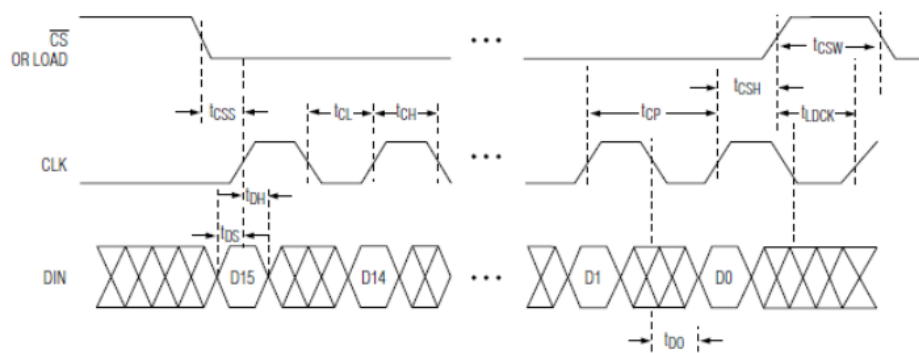


Рис. 3.5 Часові характеристики Max7219 [17]

Функція встановлює керуючий регістр, щоб спочатку зв'язатися з DDS, і викликає функцію `set_dds_freq`. Потім знову встановлюється керуючий регістр і викликається функція `set_display_digits`.

```
// Send_frequency function
void send_frequency(uint32_t freq_in_hz) {
    SPCR = (1<<6) | (1<<4) | (1<<3) | (1<<1) | (1<<0);
    set_dds_freq(freq_in_hz);
    SPCR = (1<<6) | (1<<4) | (1<<1) | (1<<0);
    set_display_digits(freq_in_hz);
}
```

Функція `Set_dds_freq` отримує потрібну вихідну частоту в Гц і обчислює слово налаштування, використовуючи рівняння налаштування DDS. Отримане слово налаштування (28 біт) ділиться на дві частини. 14 LSB слова налаштування надсилаються першими (DB13-DB0), з напрямком регістра частоти DB15 = 0 і DB14 = 1. 14 MSB надсилаються таким же чином.

```

// Set_dds_freq function
void set_dds_freq(uint64_t freq_in_hz){
    uint64_t freq = ( freq_in_hz << 28 ) / 75000000;
    uint32_t freq1 = freq & 0b00000000000000000001111111111111;
    freq1 = freq1 | 0b0000000000000000000100000000000000;
    uint32_t freq2 = freq >> 14;
    freq2 = freq2 & 0b00000000000000000001111111111111;
    freq2 = freq2 | 0b0000000000000000000100000000000000;
    send_data_to_dds(freq1);
    send_data_to_dds(freq2);
}

```

Після того, як вміст частотного регістру встановлено попередньою функцією, викликається функція `send_data_to_dds`. Вона отримує 16-бітовий регістр і надсилає його двома частинами частинами через функцію `spi_transiver`. Таке розділення робиться тому, що мікроконтролер може передати через SPI лише 8 біт. Для того, щоб ініціювати передачу даних, перемикач `slave select (PB1)` встановлюється в низький рівень, а після передачі – знову в високий.

```

// Send_data_to_dds function
void send_data_to_dds(uint16_t reg){
    PORTB = PORTB & (0b1111101);
    spi_tranceiver(reg >> 8);
    spi_tranceiver(0x00FF & reg);
    PORTB = PORTB | (0x02);
}

```

Функція `Spi_tranceiver` надсилає дані безпосередньо до DDS, це останній крок передачі. Мікроконтролер може надсилати лише 8-бітове слово, тому він викликається двічі, щоб надіслати все слово налаштування, яке є 16-бітним. SPDR завантажує дані в буфер, і програма чекає завершення передачі, перевіряючи, чи встановлено прапор передачі (біт SPIF).

```

// Spi_tranceiver function
unsigned char spi_tranceiver (uint8_t data){
    SPDR = data;
    while(!(SPSR & (1<<SPIF) ));
}

```

						<i>Арк.</i>
					<i>123.KI-41.14</i>	48
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

```

        return(SPDR);
    }

```

Кожна цифра надсилається в окремий адресний регістр, тому частоту потрібно розділити на окремі біти. Функція `set_display_digits` отримує бажану вихідну частоту в Гц і розділяє її на окремі біти. Потім вони окремо надсилаються на дисплей за допомогою функції `send_data_to_display(dig)`.

```

// Set_display_digits function
void set_display_digits(uint32_t freq_in_hz){
    uint32_t num = freq_in_hz;
    for(uint32_t i=1; i<9 ; i++){
        uint32_t dig = num % 10;
        num = num / 10;
        dig = dig | (i<<8);
        send_data_to_display(dig);
    }
}

```

Робота наступної функції, `Send_data_to_display`, здебільшого така сама, як `send_data_to_dds`, але зменшує біт вибору дисплею (PB0) замість того, щоб знімати біт вибору DDS.

```

// Send_data_to_display function
void send_data_to_display(uint16_t reg){
    PORTB = PORTB & (0b1111110);
    spi_tranceiver(reg >> 8);
    spi_tranceiver(0x00FF & reg);
    PORTB = PORTB | (0x01);
}

```

3.5.2. Ініціалізація

У налаштувальній частині програми визначаються виходи та входи, а також виконується ініціалізація обох периферійних пристроїв.

Виходами мікроконтролера є дроти SPI до DDS та дисплею. Входами є кнопки, які встановлюють вихідну частоту (рис. 3.6).

					<i>123.KI-41.14</i>	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		49

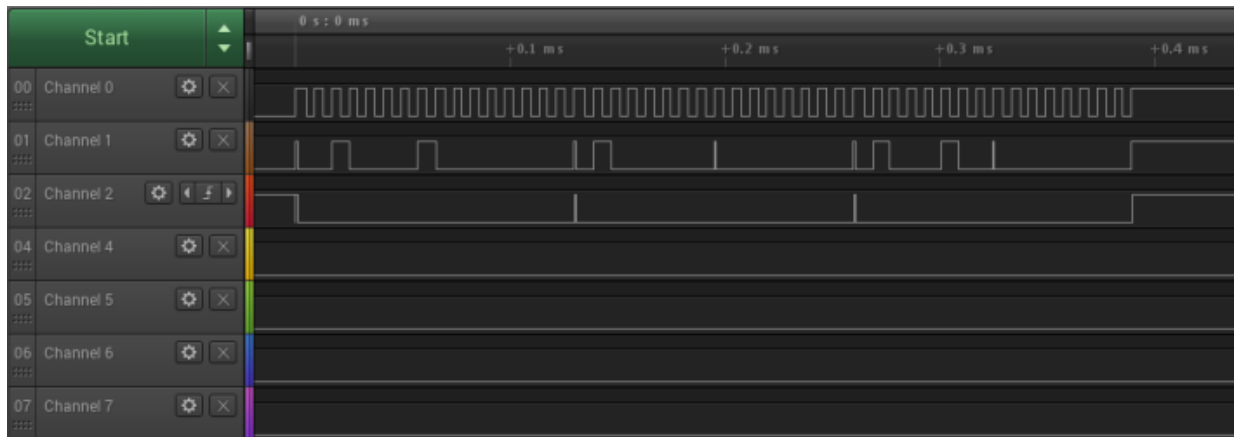


Рис.3.6 Вихідні сигнали логічного аналізатора для частини ініціалізації.

Ініціалізація DDS складається з трьох кроків:

1. Надіслати керуючий регістр, встановивши біт скидання (DB8) в 1.
2. Записати в регістр частоти початкову частоту. Початкова частота – це частота за замовчуванням, встановлена як 1 МГц.
3. Передати регістр керування, знову встановивши біт скидання у 0.

Таблиця 3.14 – Початковий контрольний регістр DDS

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
0	0	1	0	0	0	0	1
DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0

Ініціалізація дисплея полягає в надсиланні чотирьох різних контрольних регістрів, описаних раніше: режим вимкнення, обмеження сканування, режим декодування та інтенсивність.

```
void setup() {
    DDRB = (1<<5) | (1<<3) | (1<<1) | (1<<2) | (1<<0); //MOSI, FSYNC
and SCLK as OUTPUT
    PORTB = 0b00101111;
    PORTD |= (1<<PB6) | (1<<PB5) | (1<<PB4); //define pull-ups of
Inputs
    SPCR = (1<<6) | (1<<4) | (1<<3) | (1<<1) | (1<<0); //talking to
the DDS
    send_data_to_dds(0x2100);
    set_dds_freq(DEFAULT_FREQ);
}
```



```

send_data_to_dds(0x2000);
SPCR = (1<<6)|(1<<4)|(1<<1)|(1<<0); //talking to the
display module
send_data_to_display(0x0C01); //Turns the display on
send_data_to_display(0x0B07); //choose to display 8 bits
send_data_to_display(0x09FF); //Decode mode to BCD
send_data_to_display(0x0A07); //Brightness
set_display_digits(DEFAULT_FREQ);
}

```

3.5.3 Кнопки

Система містить три кнопки, тому користувач може вибрати частоту ззовні. Одна з кнопок пересувається вздовж 8 цифр, а інші змінюють значення цифри, одна збільшує, інша зменшує.

Наступні три функції, по одній для кожної кнопки, дозволяють уникнути виявлення декількох імпульсів під час натискання кнопок. Вони повертають 1, коли кнопку відпускають.

```

uint8_t
if_move_button_pressed(){
    if((PIND&0b00010000) ==
0){

while((PIND&0b00010000)==
0){}
    return 1;
    }else{
    return 0;}
}

uint8_t if_up_button_pressed(){
    if((PIND&0b00100000) == 0){
while((PIND&0b00100000) == 0){}
    return 1;
    }else{
    return 0; }
}

```

```

uint8_t if_down_button_pressed() {
    if((PIND&0b01000000) == 0){
        while((PIND&0b01000000)== 0){}
        return 1;
    }else{
        return 0; }
}

```

Зрештою, частота змінюється залежно від стану кнопок.

```

void loop() {
    if(if_move_button_pressed()){
        if(pos<10000000){
            pos*=10;
        }else{
            pos = 1;
        }
    }

    if(if_up_button_pressed()){
        freq_in_hz += pos;
        send_frequency(freq_in_hz);
    }
    if(if_down_button_pressed()){
        freq_in_hz -= pos;
        send_frequency(freq_in_hz);
    }
}

```

Повний код програми в мові програмування C, який об'єднує всі описані функції та реалізує функціональність генератора прямого цифрового синтезу частоти з можливістю керування частотою за допомогою кнопок та відображенням частоти на LED дисплеї наведено в додатку А

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		52

4. ЕКСПЕРИМЕНТАЛЬНИЙ РОЗДІЛ

У розділі 3 пояснюється, як програмуються регістри кожного з компонентів системи, тоді як у цьому розділі описано апаратне забезпечення та результати експериментальної перевірки роботи системи цифрового синтезатора сигналів. Три компоненти моделі описані окремо, із зазначенням контактів, які підключаються, та їх функціональності

4.1. Плата Arduino Uno

Мікроконтролер вбудований в плату Arduino Uno. Відображення контактів показано на рис. 4.1, а використовувані контакти вказані в табл. 4.1. Мікроконтролер підключений до двох різних периферійних пристроїв. Він керує DDS і дисплеєм через SPI, тому для кожного з них є один підлеглий пристрій. Крім того, кнопки підключені до вхідних контактів.

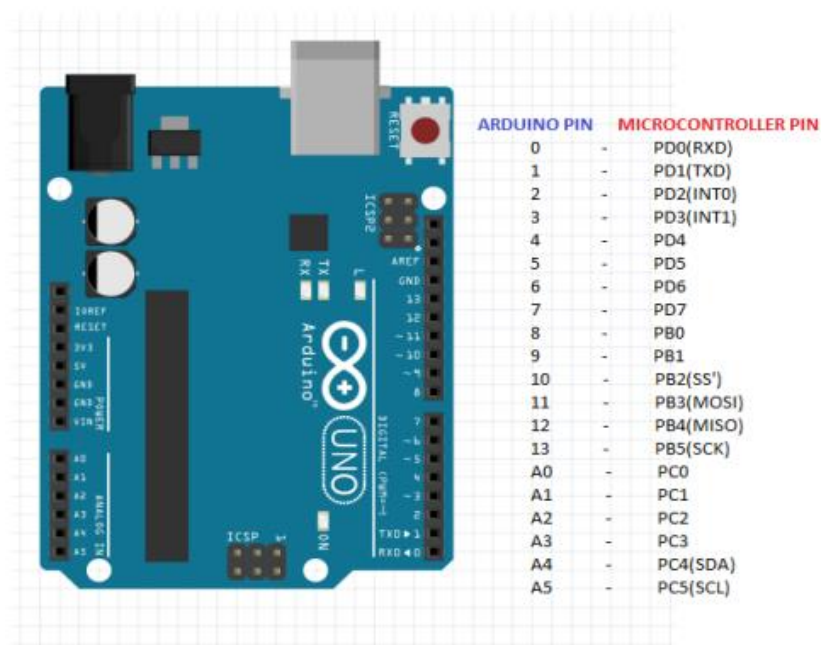


Рис. 4.1 Відображення контактів Arduino

Зм.	Арк.	№ докум.	Підпис	Дата

Таблиця 4.1– Опис виводів Arduino.

Arduino pin	Microcontroller pin	Опис піна
Pin 8	PB0	Вибір дисплея
Pin 9	PB1	Вибір DDS
Pin 10	PB2	Завжди визначається як вихід під час використання SPI[7].
Pin 11	PB3	Основні вихідні дані
Pin 13	PB5	SCK
Pin 4	PD4	Кнопка «ходу»
Pin 5	PD5	Кнопка «вгору»
Pin 6	PD6	Кнопка «вниз»

4.2. Плата модуля DDS

Пристрій DDS, AD9834, вбудований в модуль, показаний на рис. 4.2. Він зберігає такі характеристики [7]:

- живлення +5В;
- вихідна частота до 37,5 МГц;
- низьке енергоспоживання;
- синусоїдальний і трикутний вихід;
- компаратор, який підтримує генерацію прямокутних сигналів;
- діапазон температур: від -40 до +105°C.

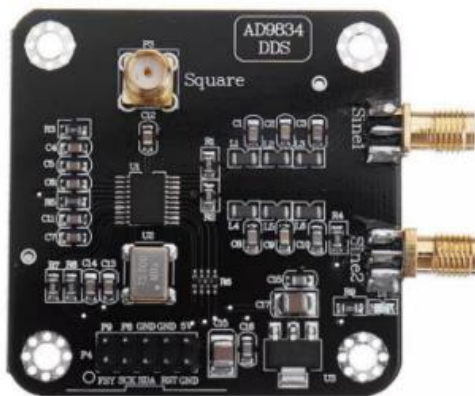


Рис. 4.2 Модуль DDS



Рис. 4.3 Контакти модуля DDS

Доступні контакти модуля показані на рис. 4.3, а їхні функції описані нижче:

- **FSYNC** діє як активація мікросхеми. Коли він низький, починається зв'язок між головним пристроєм і DDS починається обмін даними. Після того, як **FSYNC** стає низьким, дані зсуваються в пристрій з кожним спадом фронту тактового імпульсу. Після завершення передачі даних **FSYNC** стає високим.
- **SDA** – послідовне введення даних.
- **SCK** – це вхід послідовного тактового генератора.
- вивід 5 В є джерелом живлення.
- **RST** – це контакт скидання. Він заземлений, але має цифрове керування [5].

4.3. MAX7219

MAX7219 – це драйвер дисплею, який підключає мікропроцесори до 7-сегментних цифрових світлодіодних дисплеїв до 8 цифр, гістографічних дисплеїв або 64 окремих світлодіодів. Пристрій підключений до 7-сегментного цифрового світлодіода, щоб діяти як панельний лічильник [19].

Дисплей має п'ять вихідних контактів для підключення, як показано на рис. 4.4. **DOUT**, **LOAD** і **CLK** підключені до мікроконтролера для зв'язку **SPI**.



Рис. 4.4 Підключення виводів дисплею **MAX7219**

4.4. Додаткова схема

Кнопки підключаються до мікроконтролера за допомогою протоплати. Під час натискання кнопки виявляється кілька імпульсів, перш ніж сигнал стає стабільним (рис. 4.5). Це необхідно для того, щоб сигнал не виглядав як кілька натискань. Проблема може бути вирішена апаратно або програмно, в даному випадку це робиться апаратно.

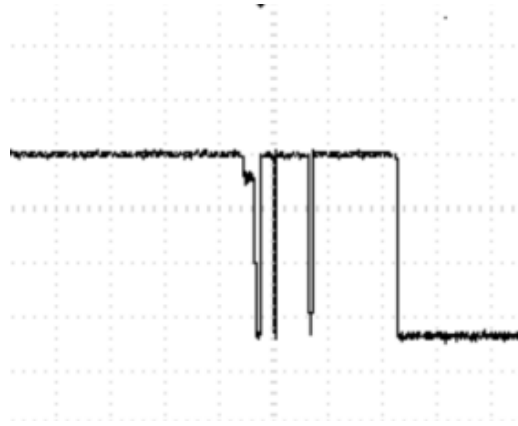


Рис. 4.5 Відскік, що виникає на сигналі перемикача.

Схема дебаунсера показана на рис. 4.6. Вона полягає у додаванні конденсатора, який відфільтровує відскоки. R і C повинні бути обрані з урахуванням того, що результат $R \cdot C$ – це час, на який ви хочете затримати сигнал [15].

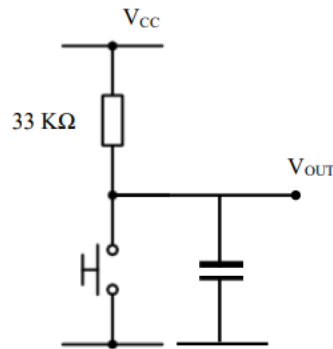


Рис.4.6 Схема усунення стрибків.

4.5. Схема системи

На рис. 4.7, який створений за допомогою програми fritzing, показано схему всієї системи, включаючи мікроконтролер, AD9834 і дисплей.

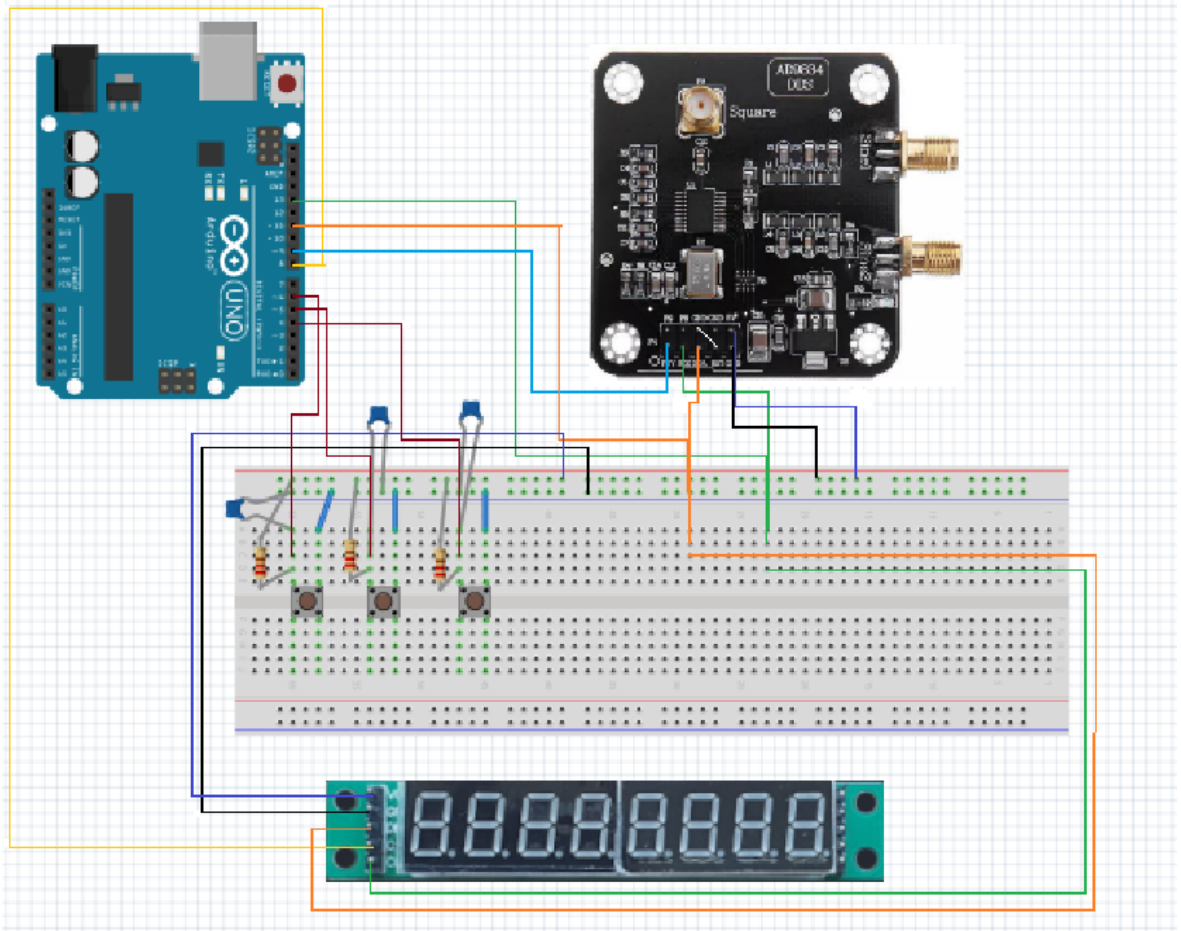


Рис.4.7 Електрична схема системи

4.6. Результати аналізу

Після того, як програмне та апаратне забезпечення готове, а незначні помилки вирішені, вихідний сигнал записується на графік, щоб його можна було проаналізувати. Зі збільшенням частоти сигнал стає занадто зашумленим і незначним. Після деяких функціональних тестів і досліджень виявилось, що проблема полягає у внутрішній конфігурації плати модуля AD9834. Вихід AD9834 проходить через фільтр, який відсікає сигнал, коли встановлюються високі частоти.

Як вже зазначено в теоретичному розділі, багато застосувань DDS включають низькочастотний фільтр, щоб приглушити спектральні відповіді зображень, які з'являються на $f_{clk} \pm f_{out}$. Якщо фільтр не відповідає вимогам, вимоги щодо частоти відсічення фільтра можуть впливати на сигнал. Це означає, що жертвована смуга пропускання, показана на рис. 4.8, впливає на важливу частину

смуги Найквіста. Із цієї причини, коли частота збільшується, частота відсічення фільтра не може бути достатньо великою, що призводить до приглушення сигналу.

Ідеальний фільтр матиме пласку характеристику в смузі Найквіста і пригнічуватиме реакцію зображення. Оскільки фільтр не може бути ідеальним, він завжди буде впливати на частину смуги Найквіста. Оптимальне рішення полягає в тому, що смуга пропускання, якою ми жертвуємо, як показано на рис. 4.8, є мінімальною, щоб не впливати на сигнал на його максимальній частоті.

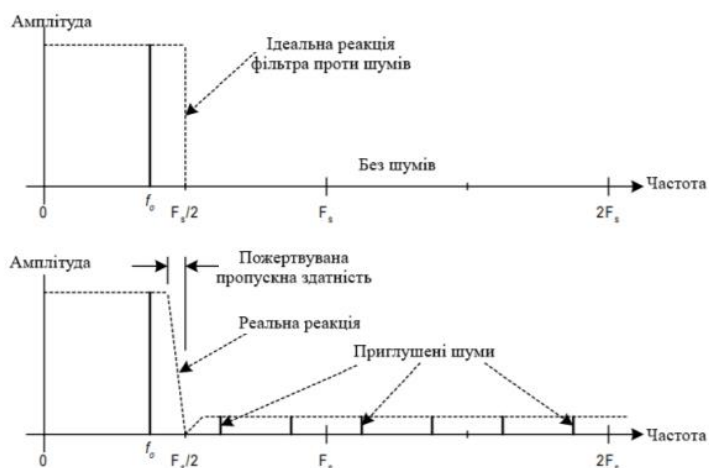


Рис.4.8 Приглушення шумів

Щоб уникнути негативного впливу фільтра, вихідний сигнал вимірюється одразу після ЦАП, тобто перед фільтром. Функціональна блок-схема AD9834, наведена в попередньому розділі (рис. 3.2), показує, що є два струмові виходи: IOUТ і IOUТВ. Обидва сигнали підключаються до осцилографа, і фактичний вихідний сигнал обчислюється як різниця між ними. Частота змінюється від 1 до 30 МГц, що призводить до появи різних синусоїдальних сигналів на відповідній частоті і правильне зчитування частоти на дисплеї. Деякі вихідні сигнали на різних частотах показані на наступних рисунках. Сигнали у верхній частині зображення представляють виміряні сигнали на обох струмових виходах (IOUТ і IOUТВ), а синій кінцевий вихідний сигнал (рис. 4.9 і 4.10). Також представлено спектр.

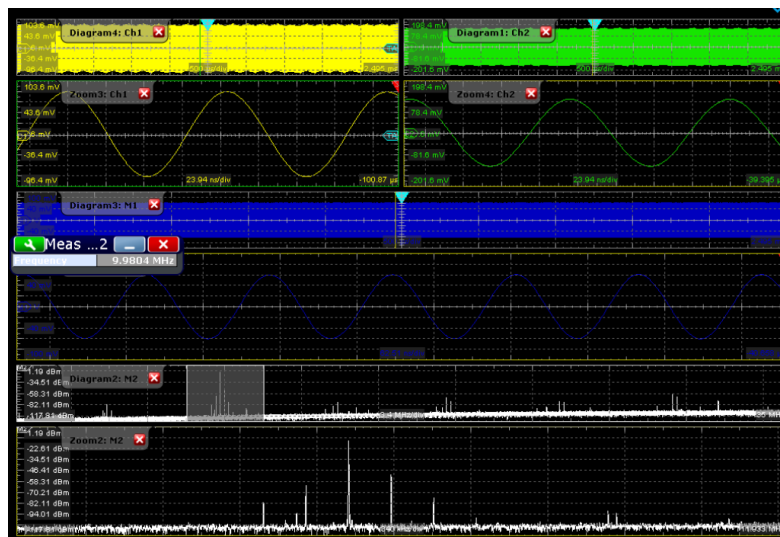


Рис. 4.9 Вихідний сигнал на частоті 10 МГц



Рис. 4.10 Вихідний сигнал на частоті 30 МГц

Точність і роздільна здатність є одними з причин, чому DDS використовується для цього проекту. Хоча результати є набагато кращими, вони не повністю дійсні для використання у складніших конструкціях. Динамічний діапазон без паразитів (SFDR) є важливим параметром, який слід аналізувати. Він відноситься до співвідношення (дБ) між найвищим рівнем основного сигналу та найвищим рівнем будь-якої іншої гармоніки в спектрі. Спектральна чистота значно низька через наявність небажаних шпор.

Існує декілька причин, які можуть впливати на спектральну чистоту вихідного сигналу. Серед них можна виділити два джерела небажаних імпульсів: відсікання і нелінійність ЦАП.

Зм.	Арк.	№ докум.	Підпис	Дата

Усічення є основним джерелом спектральної домішки у вихідному сигналі DDS. Для того, щоб зменшити розмір таблиці пошуку синусоїдального сигналу, вихід фазового акумулятора усікається. Це генерує сигнал помилки усічення, який створює дискретні імпульси в частотній області [21].

Роздільна здатність ЦАП визначається кількістю біт. Однак навіть ідеальний N -бітний ЦАП буде генерувати гармоніки у вихідному спектрі. Це пов'язано з тим, що завжди буде різниця між теоретичним виходом ЦАП і фактичним сигналом на виході. Ця різниця не є ідеально лінійною, тому вихідний сигнал ЦАП буде спотворено [2]. На виході буде очікуваний сигнал плюс гармоніки, які називаються нелінійністю квантувача.

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		60

ВИСНОВКИ

1. В процесі виконання дипломної роботи було досліджено принципи роботи генераторів прямого цифрового синтезу частоти (DDS). Було розглянуто основні компоненти системи DDS, такі як акумулятор фази, таблиця пошуку, цифро-аналоговий перетворювач (ЦАП) та фільтр низьких частот. Дослідження підтвердило, що DDS дозволяє створювати високоточні та стабільні сигнали з можливістю програмування частоти та форми сигналу.
2. Проведено порівняння DDS з традиційними методами генерації сигналів, зокрема, фазовим автоналаштуванням частоти (PLL). DDS продемонстрував значні переваги у гнучкості налаштування частоти, швидкості перемикання та спектральній чистоті сигналу, що робить його ефективним рішенням для сучасних телекомунікаційних систем.
3. Розроблено прототип генератора DDS на основі мікроконтролера типу ATMEGA328P та інших ключових компонентів (пристрій AD9834 та дисплей MAX7219), створено програмне забезпечення для керування DDS. Даний прототип демонструє потенціал використання в освітніх цілях, а також в інших застосуваннях, таких як телекомунікації, радіолокаційні системи, генерація аудіосигналу та синтез сигналів для наукових експериментів.

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		61

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. О.Старіков. Прямий цифровий синтез частоти та його застосування. // Chip News. 2002. № 3. С. 56–64.
2. K. Gentile, R. Cushing. A Technical Tutorial on Digital Signal Synthesis // Analogue devices. 1999.
3. Understanding Direct Digital Synthesis (DDS). Mess- und Prüfsysteme, bei Emerson – NI. 2023. [Електронний ресурс] – Режим доступу до ресурсу: <https://www.ni.com/en/shop/electronic-test-instrumentation/waveform-generators/understanding-direct-digital-synthesis--dds-.html>.
4. В.С. Петрушак, С.В. Самолюк. Розробка цифрового генератора періодичних сигналів на базі прямого методу синтезу частоти і дослідження роботи його функціональних блоків // Вісник Хмельницького національного університету. № 6. С. 187–190.
5. B. Cronin. DDS Devices Generate High Quality Waveforms Simply, Efficiently, and Flexibly // Analogue Dialogue. 2012. V. 46. P. 25-28.
6. E. Murphy, C. Slattery. All about direct digital synthesis // Analogue dialogue. 2004. V.38. P. 12-17.
7. AD9834. Analog Devices. 2014. [Електронний ресурс] – Режим доступу до ресурсу: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD9834.pdf>
8. Direct Digital Synthesizers Theory, Design and Applications. Xilinx. 2002. [Електронний ресурс] – Режим доступу до ресурсу: https://www.xilinx.com/support/documentation/application_notes/xapp225.pdf
9. Fundamentals of direct digital synthesis. Analogue devices. 2017.
- 10.D. Buchanan. Choosing DACs for Direct Digital Synthesis. // Analog Devices. 1997. V. 7. P. 12-23.
- 11.R. E. Best. Phase-locked loops: Design, simulation, and applications. 5th ed. New York : McGraw-Hill. 2003. 421 p.
- 12.B.-G. Goldberg. Digital Frequency Synthesis Demystified: DDS and Fractional-N PLLs (Demystified). Newnes. 1999. 352 p.

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		62

- 13.В. П. Фесіч. Прямий цифровий синтез (DDS) у системах керування ультразвуковими резонансними приводами. // Вісник Національного технічного університету України "КПІ". 2012. №48. С. 134-139.
- 14.G. S. Patel, S. Sharma. Comparative Study of PLL, DDS and DDS-based PLL Synthesis Techniques for Communication System. // International Journal of Electronics Engineering. 2010. V. 2(1). P. 35-40.
- 15.К. К. Побєдаш, В. А. Святненко. Мікропроцесори та цифрова електроніка. 2021. 120с.
- 16.АТmega328Р. Atmel. 2015. [Електронний ресурс] – Режим доступу до ресурсу:
<https://www.sparkfun.com/datasheets/Components/SMD/ATMega328.pdf>
- 17.P. Kumar. Arduino and MAX7219 (7-segment Display driver) – A Complete Guide. Makerguides. 2023. [Електронний ресурс] – Режим доступу до ресурсу: <https://www.makerguides.com/arduino-uno-and-max7219-7-segment-display-driver/>.
- 18.Z. Wu, S. Qu, K. Gao. Design and Implementation of Signal Generator based on AD9834. // International Core Journal of Engineering. 2021. V. 7(11). P. 83-86.
- 19.MAX7219. Analog Devices. 2003. [Електронний ресурс] – Режим доступу до ресурсу: <https://www.analog.com/media/en/technical-documentation/datasheets/max7219-max7221.pdf>.
- 20.F. Leens. An introduction to I²C and SPI protocols. // IEEE Instrumentation & Measurement Magazine. 2009. V. 12(1). P. 8-13
- 21.K. R. A. Patel. DIRECT DIGITAL SYNTHESIS AND SPUR REDUCTION USING METHOD OF DITHERING. // University of Illinois Urbana-Champaign. 2012.
- 22.P. O'Brien, M. Curtin. Phase-Locked Loops for High Frequency Receivers and Transmitters // Analogue Dialogue. 1999. V. 33. P. 31-36.

					<i>123.KI-41.14</i>	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		63

ДОДАТОК А

Текст програми

```
#include <stdint.h>
#include <SPI.h>
// Константи для налаштування
#define DEFAULT_FREQ 1000000 // Початкова частота DDS
#define DEBOUNCE_DELAY 50    // Затримка для антидребезгу
// Змінні
uint32_t freq_in_hz = DEFAULT_FREQ;
uint32_t pos = 1;
// Функції для кнопок з антидребізгом
uint8_t if_move_button_pressed() {
    static uint32_t last_move_time = 0;
    if ((millis() - last_move_time) > DEBOUNCE_DELAY && !(PIND & (1 <<
PD4))) {
        last_move_time = millis();
        return 1;
    }
    return 0;
}
uint8_t if_up_button_pressed() {
    static uint32_t last_up_time = 0;
    if ((millis() - last_up_time) > DEBOUNCE_DELAY && !(PIND & (1 <<
PD5))) {
        last_up_time = millis();
        return 1;
    }
    return 0;
}
uint8_t if_down_button_pressed() {
    static uint32_t last_down_time = 0;
    if ((millis() - last_down_time) > DEBOUNCE_DELAY && !(PIND & (1 <<
PD6))) {
        last_down_time = millis();
        return 1;
    }
    return 0;
}
```

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		64

```

}
void send_frequency(uint32_t freq_in_hz) {
    // Встановлення режиму SPI для DDS
    SPCR = (1 << SPE) | (1 << MSTR) | (1 << CPOL) | (1 << CPHA);
    // Встановлення частоти DDS
    set_dds_freq(freq_in_hz);
    // Встановлення режиму SPI для дисплея
    SPCR = (1 << SPE) | (1 << MSTR);
    // Надсилання частоти на дисплей
    set_display_digits(freq_in_hz);
}
void set_dds_freq(uint64_t freq_in_hz) {
    uint64_t freq = (freq_in_hz * (1ULL << 28)) / 75000000;
    uint32_t freq1 = (freq & 0x3FFF) | 0x4000;
    uint32_t freq2 = (freq >> 14 & 0x3FFF) | 0x4000;
    send_data_to_dds(freq1);
    send_data_to_dds(freq2);
}
void send_data_to_dds(uint16_t reg) {
    PORTB &= ~(1 << PB1); // Скидаємо біт вибору для DDS
    spi_tranceiver(reg >> 8);
    spi_tranceiver(0x00FF & reg);
    PORTB |= (1 << PB1); // Встановлюємо біт вибору для DDS
}
void send_data_to_display(uint16_t reg) {
    PORTB &= ~(1 << PB0); // Скидаємо біт вибору для дисплея
    spi_tranceiver(reg >> 8);
    spi_tranceiver(0x00FF & reg);
    PORTB |= (1 << PB0); // Встановлюємо біт вибору для дисплея
}
unsigned char spi_tranceiver(uint8_t data) {
    SPDR = data;
    while (!(SPSR & (1 << SPIF)));
    return SPDR;
}
void set_display_digits(uint32_t freq_in_hz) {
    // Очистка виводу дисплея
    for (uint8_t i = 1; i <= 8; i++) {

```

					<i>123.KI-41.14</i>	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		65

```

        send_data_to_display(i << 8);
    }
    // Надсилання частоти на дисплей
    uint32_t num = freq_in_hz;
    for (uint8_t i = 1; i <= 8; i++) {
        uint32_t dig = num % 10;
        num = num / 10;
        dig = dig | (i << 8);
        send_data_to_display(dig);
    }
}

void setup() {
    DDRB = (1 << PB5) | (1 << PB3) | (1 << PB1) | (1 << PB2) | (1 << PB0);
    // Встановлення пінів виводу для SPI і вибору пристроїв
    PORTB = 0b00101111; // Встановлення початкового стану пінів
    PORTD |= (1 << PB6) | (1 << PB5) | (1 << PB4); // Встановлення
    підтяжки вгору для кнопок
    SPI.begin(); // Ініціалізація SPI
    send_data_to_dds(0x2100); // Ініціалізація DDS
    set_dds_freq(DEFAULT_FREQ); // Встановлення початкової частоти DDS
    send_data_to_dds(0x2000); // Ініціалізація дисплея
    send_data_to_display(0x0C01); // Включення дисплея
    send_data_to_display(0x0B07); // Вибір відображення 8 розрядів
    send_data_to_display(0x09FF); // Встановлення режиму декодування BCD
    send_data_to_display(0x0A07); // Встановлення яскравості
    set_display_digits(DEFAULT_FREQ); // Вивід початкової частоти на
    дисплей
}

void loop() {
    if (if_move_button_pressed()) {
        if (pos < 10000000) {
            pos *= 10;
        } else {
            pos = 1;
        }
    }
}

```

					<i>123.KI-41.14</i>	Арк.
Зм.	Арк.	№ докум.	Підпис	Дата		66


```
if (if_up_button_pressed()) {  
    freq_in_hz += pos;  
    send_frequency(freq_in_hz);  
}  
  
if (if_down_button_pressed()) {  
    if (freq_in_hz > pos) {  
        freq_in_hz -= pos;  
    }  
    send_frequency(freq_in_hz);  
}
```

					<i>123.KI-41.14</i>	<i>Арк.</i>
<i>Зм.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		67